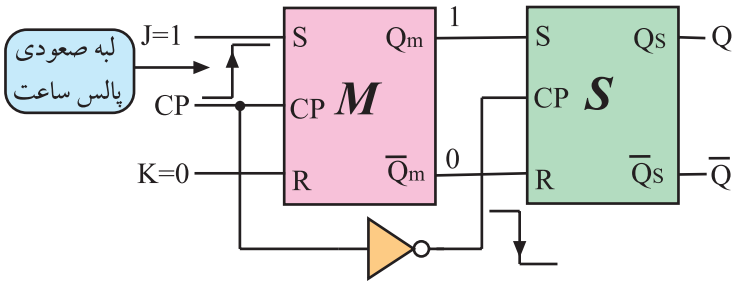
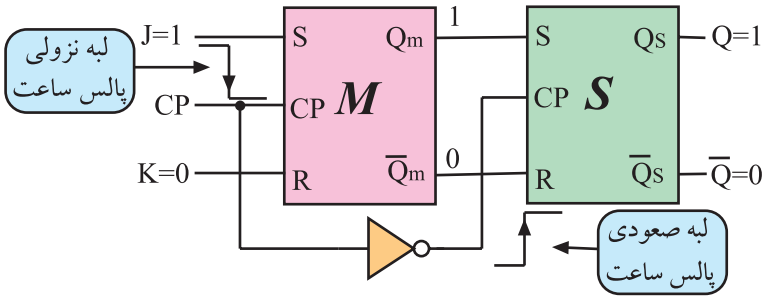
در فلیپ فلاپ JK-MS در هنگام لبه صعودی پالس Master، اطلاعات ورودی وارد حافظه Master می‌شود. شکل ۵۰ــ۲ نشان می‌دهد که اطلاعات ورودی وارد حافظه Master شده است.

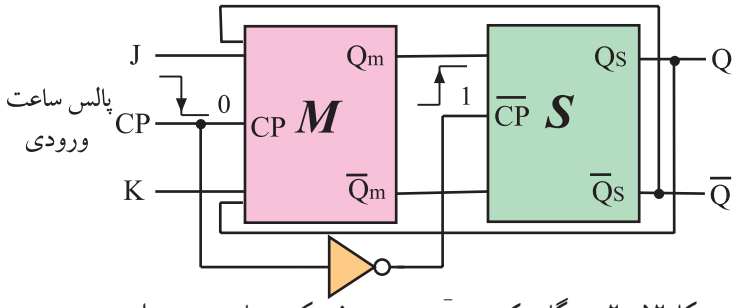


شکل ۵۰ــ۲ــ در هنگام لبه صعودی پالس ورودی، اطلاعات ورودی وارد حافظه Master می‌شود.

در هنگام لبه نزولی پالس ساعت ورودی، پالس ساعت فلیپ فلاپ Slave صعود می‌کند و اطلاعات حافظه Master ، وارد حافظه Slave که حافظه خروجی است می‌شود. در شکل ۵۱ــ۲ لبه نزولی پالس ساعت Master و لبه صعودی پالس ساعت Slave و ورود اطلاعات حافظه Master به حافظه Slave نشان داده شده است. مشاهده می‌شود هنگامی که اطلاعات به خروجی فلیپ فلاپ Slave انتقال می‌یابد و می‌خواهد به ورودی فلیپ فلاپ Master فیدبک شود دروازه فلیپ فلاپ Master بسته است یعنی CP = O است (شکل ۵۲ــ۲) بدین ترتیب اطلاعات برگشتی نمی‌تواند وارد حافظه Master شود و حافظه را به نوسان درآورد.



شکل ۵۱ــ۲ــ در هنگام لبه نزولی پالس ساعت ورودی، پالس ساعت Slave صعود می‌کند و اطلاعات وارد حافظه Slave می‌شود.



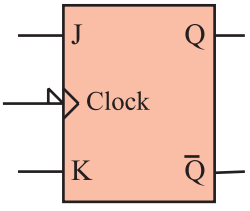
شکل ۵۲ــ۲ــ هنگامی که Q و $\overline{Q}$ به ورودی فیدبک می‌یابند CP = ۰ است.

جدول درستی فلیپ فلاپ JK-MS مانند جدول درستی فلیپ فلاپ JK است. فقط در فلیپ فلاپ JK-MS اطلاعات در لبه نزولی پالس ساعت وارد حافظه می‌شوند.

جدول ۱۰ــ۲ جدول درستی فلیپ فلاپ JK-MS را نشان می‌دهد نماد بلوکی فلیپ فلاپ JK-MS را در شکل ۵۳ــ۲ ملاحظه می‌کنید.

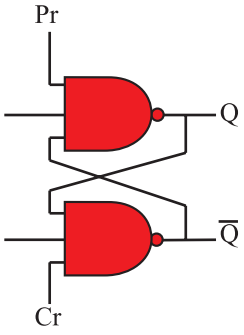
جدول ۱۰ــ۲ــ جدول درستی فلیپ فلاپ JK-MS

J	K	CP	Q_t
0	0	↓	Q_{t-1} حالت قبلی را حفظ می کند
0	1	↓	0 RESET
1	0	↓	1 SET
1	1	↓	$\overline{Q_{t-1}}$ حالت قبلی عکس می شود



شکل ۵۳ــ۲ــ نماد بلوکی فلیپ فلاپ JK-MS

۹ــ۲ــ۲ــ عملکرد ورودی‌های پیش تنظیم Pre[1] و پاک کردن Clr[2]: در زمان وصل تغذیه به مدار فلیپ فلاپ، وضعیتی که حافظه در آن قرار می‌گیرد یعنی حالت Q، در انواع فلیپ فلاپ‌ها کاملاً تصادفی است. برای ایجاد یک حالت معین و تعریف شده‌ی اولیه، از ورودی «پری‌ست» (Preset) و «کِلییر» (clear) استفاده می‌کنیم. Pre و Clr مانند شکل ۲ــ۵۴ مستقیماً روی Q و $\overline{Q}$ اثر می‌گذارند.



شکل ۲ــ۵۴ــ خط Pr و Cr به آخرین گیت‌های فلیپ فلاپ اتصال دارند.

در صورتی که Pr = ۰ و Cr = ۱ باشد مقدار Q = ۱ می‌شود همچنین اگر Pr = ۱ و Cr = ۰ باشد مقدار Q = ۰ خواهد شد ایجاد شرایط Pr = ۰ و Cr = ۰ حالت ناپایدار ایجاد می‌کند. وضعیت Pr = ۱ و Cr = ۱ تغییری در حافظه به‌وجود نمی‌آورد. جدول ۲ــ۱۱ جدول درستی کامل یک فلیپ فلاپ JK را با ورودی Pr و Cr نشان می‌دهد.

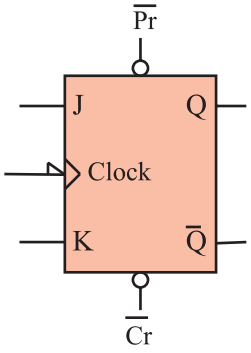
جدول ۲ــ۱۱ــ جدول درستی کامل یک فلیپ فلاپ JK با ورودی Pr و Cl

Pr	Cr	CP	J	K	Q_t
0	0	X	X	X	حالت ناپایدار *
0	1	X	X	X	Preset (پر شده) 1
1	0	X	X	X	Clear (پاک شده) 0
1	1	–	X	X	Q_{t-1}
1	1	↓	0	0	Q_{t-1} حالت قبلی را حفظ می کند
1	1	↓	0	1	Reset خروجی (۰) 0
1	1	↓	1	0	Set خروجی (۱) 1
1	1	↓	1	1	$\overline{Q_{t-1}}$ حالت قبلی عکس می شود

$Pr = ۰$ $Cr = ۱$ $Q = ۱$

$Pr = ۱$ $Cr = ۰$ $Q = ۰$

در شکل ۲ــ۵۵ نماد بلوکی فلیپ فلاپ J-k با خط Pr و Cr رسم شده است.

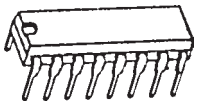


شکل ۲ــ۵۵ــ نماد بلوکی فلیپ فلاپ JK با Pr و Cl

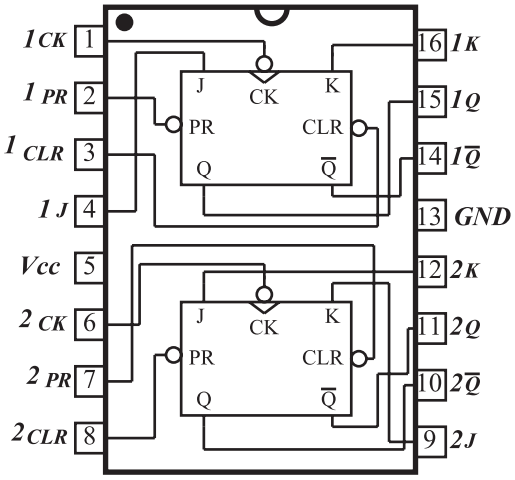
۱ــ Pre - Preset قبلاً پر کردن ــ پیش تنظیم

۲ــ Clear - Clr = Cl پاک کردن

۱۰ــ۲ــ۲ــ تراشه ۷۴LS۷۶: آی‌سی ۷۴LS۷۶ یک تراشه ۱۶ پایه است که در داخل آن دو عدد فلیپ فلاپ JKMS جاسازی شده است. شکل ۵۶ــ۲ شکل ظاهری این آی‌سی را نشان می‌دهد. در شکل ۵۷ــ۲ فلیپ فلاپ‌های داخل این آی‌سی رسم شده‌اند.



شکل ۵۶ــ۲ــ شکل ظاهری آی‌سی ۷۴۷۶



شکل ۵۷ــ۲ــ نماد داخلی آی‌سی ۷۴۷۶

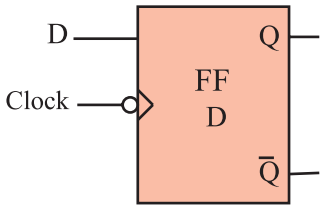
پایه ۵ تغذیه مثبت آی سی (۵+ ولت) و پایه ۱۳ زمین آی سی است.

جدول ۱۲ــ۲، جدول درستی یکی از فلیپ فلاپ‌های ۷۴LS۷۶ را نشان می‌دهد. حالت X به معنی این است که وضعیت ورودی اهمیتی ندارد و هر مقدار صفر یا یک می‌تواند باشد.

جدول ۱۲ــ۲ــ جدول درستی یکی از فلیپ فلاپ‌های آی‌سی ۷۴۷۶

INPUTS					OUTPUTS	
Preset	Clear	Clock	J	K	Q	$\bar{Q}$
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H	H
H	H	↓	L	L	Q	$\bar{Q}$
H	H	↓	H	L	H	L
H	H	↓	L	H	L	H
H	H	↓	H	H	TOGGLE	
H	H	H	X	X	Q	$\bar{Q}$

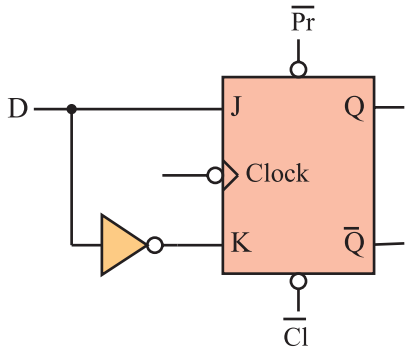
۱۱ــ۲ــ۲ــ فلیپ فلاپ نوع D[1]**:** این فلیپ فلاپ تنها دارای یک ورودی است که ورودی D نام دارد (شکل ۵۸ــ۲).



شکل ۵۸ــ۲ــ فلیپ فلاپ D

۱ــ D - Delay تأخیری D - data type نوع داده

از این فلیپ فلاپ به عنوان یک سلول ثبّات (ثبت‌کننده) استفاده می‌کنند. زیرا اطلاعات ورودی آن پس از هر پالس ساعت وارد حافظه فلیپ فلاپ شده و تا پالس ساعت بعدی حفظ می‌شود. این فلیپ فلاپ را می‌توان به کمک هر یک از انواع فلیپ فلاپ SR، JK یا JK-MS ساخت. برای این منظور باید ورودی S را نفی کنیم سپس آن را به R اتصال دهیم. همچنین می‌توان ورودی J را نفی کرد و به ورودی K اتصال داد شکل ۲ــ۵۹ یک فلیپ فلاپ D را با استفاده از فلیپ فلاپ J-K نشان می‌دهد.

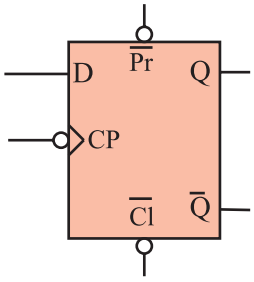


شکل ۲ــ۵۹ــ فلیپ فلاپ D با استفاده از فلیپ فلاپ JK

جدول درستی فلیپ فلاپ D مطابق جدول ۲ــ۱۳ است. در شکل ۲ــ۶۰ نماد بلوکی فلیپ فلاپ نوع D رسم شده است.

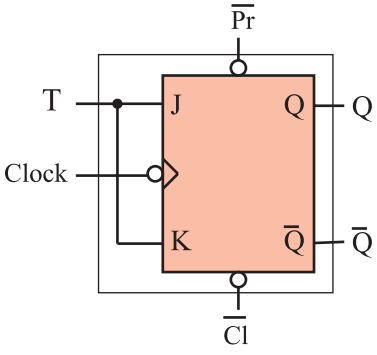
جدول ۲ــ۱۳ــ جدول درستی فلیپ فلاپ D

CP	D	Q
⎍	0	0
⎍	1	1

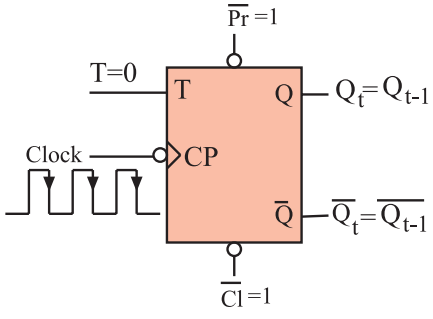


شکل ۲ــ۶۰ــ نماد مداری فلیپ فلاپ D

۲ــ۱۲ــ۲ــ فلیپ فلاپ نوع T[1]: اگر دو ورودی فلیپ فلاپ JK را به هم وصل کنیم و اتصال مشترک را T بنامیم، فلیپ فلاپ جدیدی ساخته می‌شود که به آن فلیپ فلاپ نوع T یا کلیدی گویند. شکل ۲ــ۶۱ نحوه تبدیل فلیپ فلاپ J-K را به T نشان می‌دهد. با توجه به شکل درمی‌یابیم که اطلاعات ورودی‌های J و K با هم برابرند. پس اگر T = ۰ باشد (مطابق شکل ۲ــ۶۲) J = K = ۰ است. در این صورت حافظه بدون تغییر می‌ماند.



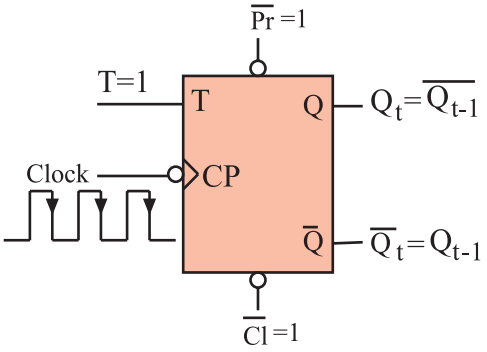
شکل ۲ــ۶۱ــ تبدیل فلیپ فلاپ J-K به T



شکل ۲ــ۶۲ــ T = ۰ است و Q و $\bar{Q}$ تغییر نمی‌کند

۱ــ T-Toggle

حال چنانچه $T=1$ باشد، $J=K=1$ است طبق شکل ۶۳ــ۲ با هر پالس ساعت وضعیت حافظه برعکس حالت قبل می‌شود. یعنی اگر حافظه Set است به حالت Reset و اگر Reset است به حالت Set می‌رود.



شکل ۶۳ــ۲ــ $T=1$ است درلبه نزولی پالس ساعت Q_t برعکس می‌شود.

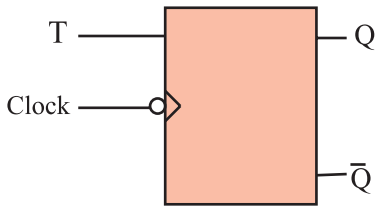
جدول ۱۴ــ۲ جدول درستی T-FF را براساس عملکرد Jk-FF نشان می‌دهد. این جدول را می‌توان به صورت جدول ۱۵ــ۲ خلاصه کرد. نماد بلوکی فلیپ فلاپ T در شکل ۶۴ــ۲ آمده است.

جدول ۱۴ــ۲ــ جدول درستی T-FF براساس عملکرد JK-FF

T	CLK	J	K	Q_{t-1}	Q_t
0	↓	0	0	0	0
0	↓	0	1	1	1
1	↓	1	1	0	1
1	↓	1	1	1	0

جدول ۱۵ــ۲ــ جدول درستی T-FF

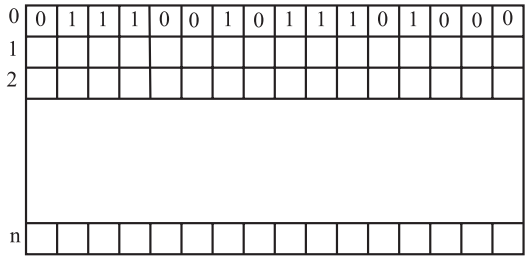
T	CP	Q_t
0	↓	Q_{t-1} حالت قبلی را حفظ می کند
1	↓	$\overline{Q_{t-1}}$ حالت قبلی عکس می شود



شکل ۶۴ــ۲ــ نماد بلوکی T-FF

۳ــ۲ــ بررسی انواع شیفت رجیسترها[1]

۱ــ۳ــ۲ــ بررسی کلی: رجیسترها یا ثبات‌ها گروهی از سلول‌های حافظه هستند که مانند جدولی از خانه‌ها (مطابق شکل ۶۵ــ۲) اطلاعات را در خود نگهداری می‌کنند. یک ثبات n بیتی دارای n فلیپ فلاپ است و می‌تواند n بیت[2] اطلاعات را به‌صورت ۰ و ۱ در خود ذخیره کند. هر صفر یا یک را یک بیت می‌گویند مثلاً 010 دارای سه بیت است.

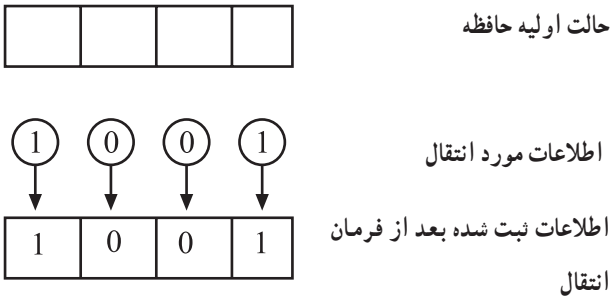


شکل ۶۵ــ۲ــ فلیپ فلاپ مانند یک خانه اطلاعات ۰ یا ۱ را در خود نگهداری می‌کند.

۱ــ Shift Register

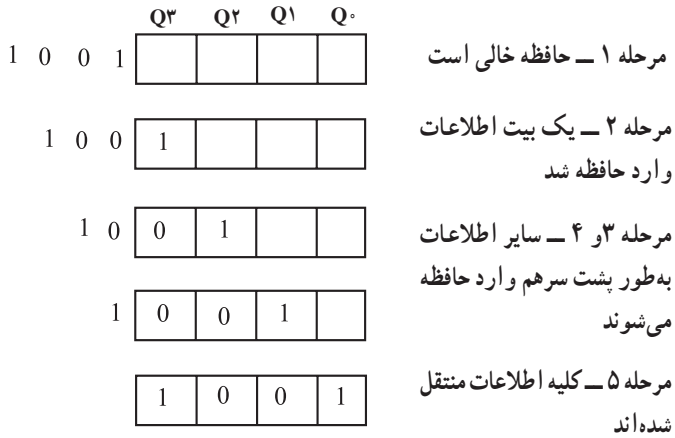
۲ــ bit = binary digit عدد باینری

۲ــ۳ــ۲ــ انواع شیفت رجیسترها: برای انتقال اطلاعات به حافظه‌ها می‌توان به دو صورت انتقال هم‌زمان یا موازی و انتقال پشت سرهم یا سری عمل کرد. شکل ۶۶ــ۲ و ۶۷ــ۲ حالت‌های انتقال اطلاعات را نشان می‌دهد.



شکل ۶۶ــ۲ــ اطلاعات به‌طور همزمان به حافظه انتقال می‌یابد.

خواندن اطلاعات ثبت شده در حافظه‌ها می‌تواند به‌صورت همزمان یا موازی و یا به صورت پشت سرهم یا سری انجام گیرد. شکل ۶۸ــ۲ خواندن اطلاعات به‌طور موازی و شکل ۶۹ــ۲ خواندن اطلاعات به صورت سری را از Q_0 نشان می‌دهد.



شکل ۶۷ــ۲ــ اطلاعات پشت سرهم و تدریجی به حافظه منتقل می‌شوند.

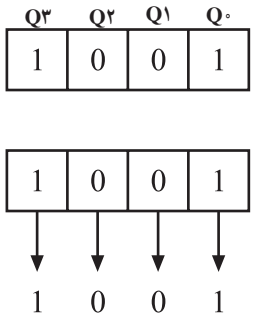
شیفت رجیسترها براساس نحوه‌ی ورود و یا خروج اطلاعات به چهار دسته تقسیم‌بندی می‌شوند.

۱ــ رجیستر با توانایی نوشتن موازی ــ خواندن موازی[۱] (PIPO)

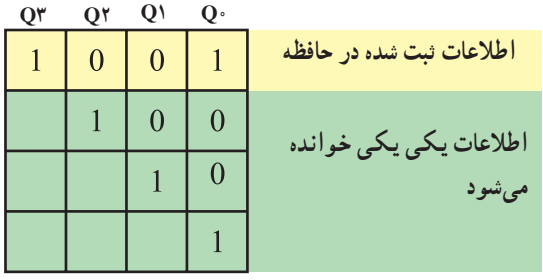
۲ــ رجیستر با توانایی نوشتن موازی ــ خواندن سری[۲] (PISO)

۳ــ رجیستر با توانایی نوشتن سری ــ خواندن موازی[۳] (SIPO)

۴ــ رجیستر با توانایی نوشتن سری ــ خواندن سری[۴] (SISO)



شکل ۶۸ــ۲ــ خواندن اطلاعات به‌طور موازی



شکل ۶۹ــ۲ــ خواندن اطلاعات به‌صورت پشت‌سرهم

۱ــ PIPO = Parallel in parallel out — ورودی موازی ــ خروجی موازی

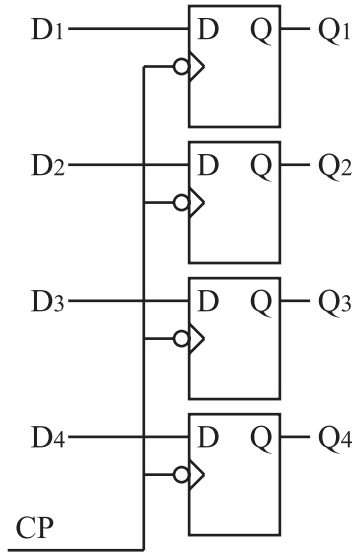
۲ــ PISO = Parallel in Serial out — ورودی موازی ــ خروجی سری

۳ــ SiPO = Serial in Parallel out — ورودی سری ــ خروجی موازی

۴ــ SiSO = Serial in Serial out — ورودی سری ــ خروجی سری

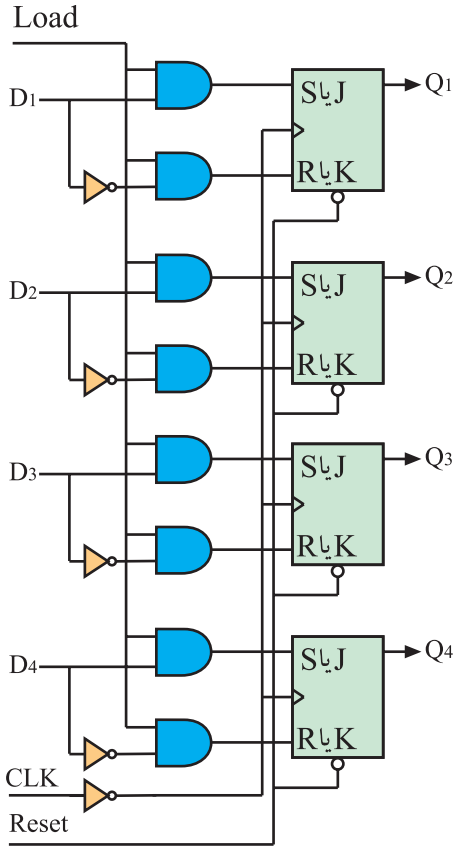
۳ــ۳ــ۲ــ رجیستر با توانایی نوشتن موازی ــ خواندن موازی:

ساده‌ترین ثبات مطابق شکل ۷۰ــ۲ است. می‌دانیم در فلیپ فلاپ نوع D با اعمال پالس ساعت، اطلاعات ورودی به‌خروجی انتقال می‌یابد. هنگامی که پالس ساعت، CP = ۰ است، اطلاعات خروجی Q_1 تا Q_4 تغییر پیدا نمی‌کند. هنگامی که CP = ۱ شود اطلاعات D_1 و D_2 و D_3 و D_4 به خروجی‌های Q_1 و Q_2 و Q_3 و Q_4 انتقال می‌یابند.



شکل ۷۰ــ۲ــ ثبات ورودی موازی خروجی موازی

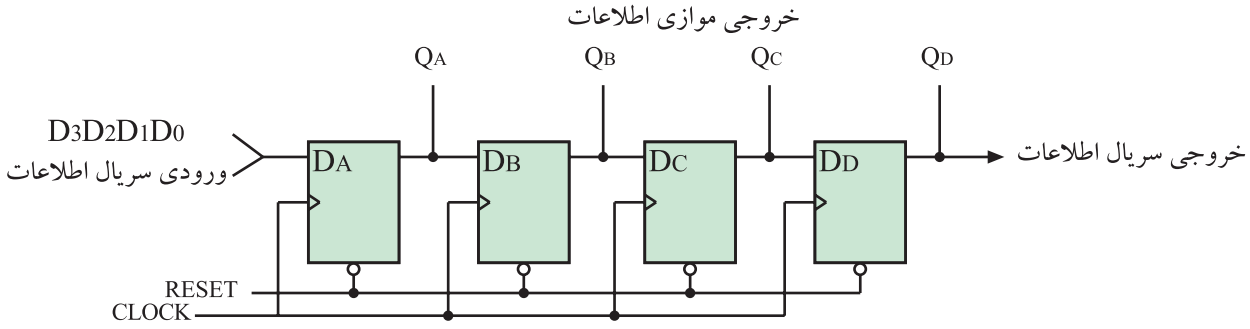
رجیستر شکل ۷۱ــ۲ نیز از نوع PIPO است. فلیپ فلاپ‌ها می‌توانند از نوع SR یا JK باشند. ابتدا توسط Reset همه حافظه‌ها را پاک می‌کنند. این ثبات با لبه نزولی پالس ساعت، اطلاعات ورودی D_1 تا D_4 را به‌طور همزمان وارد حافظه‌های Q_1 تا Q_4 می‌کند. برای انتقال اطلاعات باید خط LOAD برابر با ۱ باشد. اطلاعات ثبت شده در حافظه‌ها را نیز می‌توان به‌طور همزمان خواند.



شکل ۷۱ــ۲ــ رجیستر از نوع PIPO(نوشتن موازی ــ خواندن موازی)

۴ــ۳ــ۲ــ رجیستر با توانایی «نوشتن سری ــ خواندن سری»:

شکل ۷۲ــ۲ یک شیفت رجیستر با ورودی سری خروجی سری (SISO) را نشان می‌دهد. در این نوع رجیستر می‌توان اطلاعات ثبت شده را به‌طور همزمان نیز از حافظه‌ها خارج کرد.



شکل ۷۲ــ۲ــ شیفت رجیستر SISO یا SIPO

ابتدا توسط خط Reset همه حافظه‌ها پاک می‌شود. با هر پالس ساعت، اطلاعات از طریق ورودی سریال به‌صورت پشت سرهم وارد حافظه‌ها می‌شود و به سمت راست انتقال می‌یابد. بعد از چهار پالس ساعت، اطلاعات در چهار حافظه ثبت می‌شود. (شکل ۷۳ــ۲).

	QA	QB	QC	QD	
D4 D3 D2 D1	0	0	0	0	← همه حافظه‌ها پاک
D4 D3 D2	D1				← D_1 وارد حافظه شد
D4 D3	D2	D1			← D_2، D_1 وارد حافظه شدند
D4	D3	D2	D1		← D_3، D_2، D_1 وارد حافظه شدند
	D4	D3	D2	D1	← D_4، D_3، D_2، D_1 وارد حافظه شدند

شکل ۷۳ــ۲ــ ورود پشت سرهم اطلاعات

برای خروج سریال اطلاعات کافی است که چهار پالس ساعت دیگر به مدار اعمال شود. بعد از ثبت اطلاعات می‌توان به‌طور همزمان اطلاعات را از Q_A و Q_B و Q_C و Q_D خارج کرد. در جدول ۱۶ــ۲ چگونگی ورود اطلاعات به حافظه‌ها نشان داده شده است.

جدول ۱۶ــ۲ــ ورودی اطلاعات D_1، D_2، D_3 و D_4 به‌صورت سریال

شماره پالس	QA	QB	QC	QD
۰	0	0	0	0
۱	D1	0	0	0
۲	D2	D1	0	0
۳	D3	D2	D1	0
۴	D4	D3	D2	D1

جدول ۱۷ــ۲ خروج اطلاعات را به‌طور سریال از Q_D نشان می‌دهد.

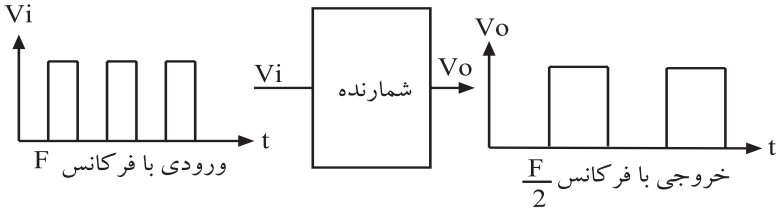
جدول ۱۷ــ۲ــ خروج اطلاعات سریال از Q_D

شماره پالس	Q_A	Q_B	Q_C	Q_D
۴	D_4	D_3	D_2	D_1
۵	0	D_4	D_3	D_2
۶	0	0	D_4	D_3
۷	0	0	0	D_4
۸	0	0	0	0

۴ــ۲ــ بررسی انواع شمارنده‌ها[1]

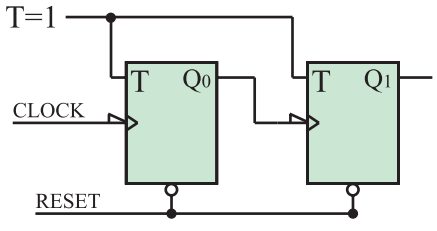
۱ــ۴ــ۲ــ بررسی کلی: شمارنده مداری است که قادر است با دریافت فرمان معین، از صفر تا عددی خاص را بشمارد. ممکن است شمارش از عدد خاص شروع شده و به صفر ختم شود. شکل ۷۴ــ۲ یک شمارنده را نشان می‌دهد. شمارنده می‌تواند طبق شکل ۷۵ــ۲ به عنوان یک مقسّم فرکانس نیز عمل کند. عنصر اصلی هر شمارنده مدار فلیپ فلاپ است. شمارنده‌ها براساس نحوه کار به شمارنده‌های آسنکرون (غیرهمزمان) و شمارنده سنکرون (هم‌زمان) تقسیم‌بندی می‌شوند.

شکل ۷۴ــ۲ــ یک شمارنده



شکل ۷۵ــ۲ــ شمارنده به عنوان مقسم فرکانس

۲ــ۴ــ۲ــ شمارنده‌های آسنکرون: در شمارنده آسنکرون (غیرهمزمان) پالس ساعت فلیپ فلاپ‌ها به‌طور همزمان به آن‌ها اعمال نمی‌شود. بلکه هر طبقه پالس ساعت خود را از خروجی طبقه ماقبل خود دریافت می‌کند (شکل ۷۶ــ۲). این نوع شمارنده، شمارنده موجی[2] نیز نامیده می‌شود. فلیپ فلاپ به‌کار رفته در این نوع شمارنده از نوع T است و باید همواره

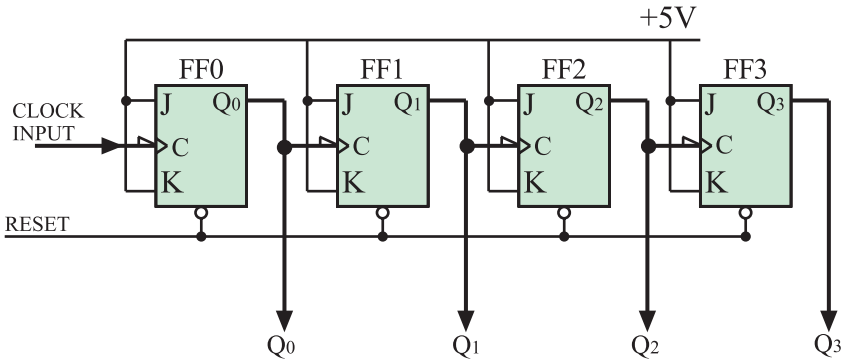


شکل ۷۶ــ۲ــ اولین FF CLK خارجی دارد. Q_0 ،CLK ،FF_1 است.

۱ــ Counter = شمارنده

۲ــ Ripple Counter شمارنده موجی

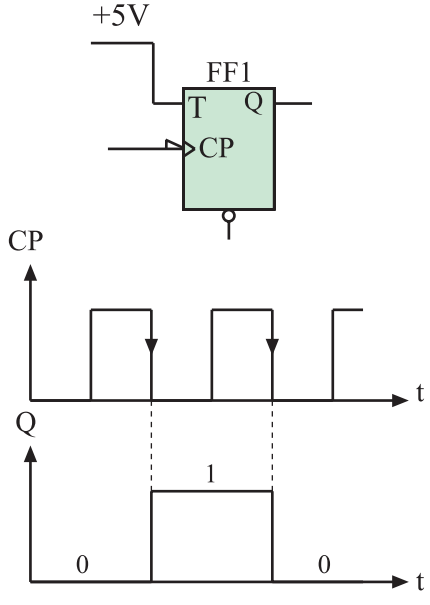
$T=1$ نگه داشته شود. مدار این شمارنده می‌تواند از نوع فلیپ فلاپ JK با داشتن شرایط $J=K=1$ نیز باشد. شکل ۷۷ـ۲ مدار این شمارنده را نشان می‌دهد.



شکل ۷۷ـ۲ـ شمارنده آسنکرون

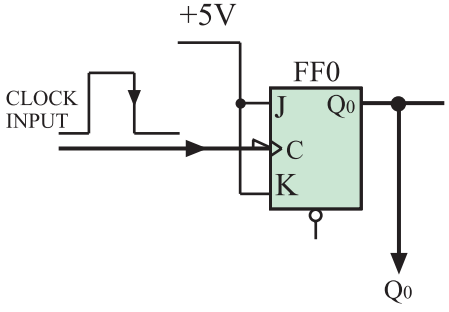
فلیپ فلاپ به‌کار رفته در این مدار با لبه نزولی پالس ساعت عمل می‌کند.

در فلیپ فلاپ نوع T و $T=1$ در لبه نزولی هر پالس ساعت وضع حافظه برعکس حالت قبل خود می‌شود. شکل ۷۸ـ۲ فلیپ فلاپ T و وضع حافظه آن را به ازای دو پالس ساعت نشان می‌دهد.



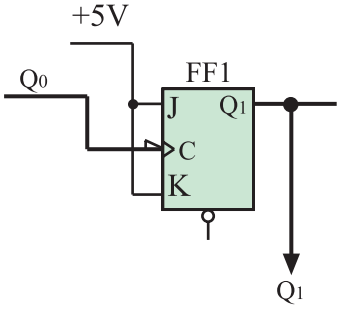
شکل ۷۸ـ۲ـ فلیپ فلاپ T و وضع حافظه آن

در شکل ۷۹ـ۲ اولین فلیپ فلاپ پالس ساعت خود را از منبع مولد پالس خارجی دریافت می‌کند. در لبه نزولی هر پالس ساعت وضعیت حافظه این فلیپ فلاپ برعکس می‌شود یعنی در ابتدا که فلیپ فلاپ Reset است در لبه نزولی اولین پالس ساعت، حافظه (یعنی Q_0) Set می‌شود و در لبه نزولی پالس ساعت بعدی حافظه به حالت Reset تغییر وضعیت می‌دهد. این عمل تا آخرین



شکل ۷۹ـ۲ـ اولین فلیپ فلاپ از مولد خارج پالس ساعت را دریافت می‌کند.

پالس ادامه می‌یابد. پالس ساعت دومین فلیپ فلاپ از خروجی فلیپ فلاپ طبقه‌ی اول تأمین می‌شود (شکل ۸۰ــ۲). به همین ترتیب پالس‌های ساعت FF_2 از Q_1 و FF_3 از Q_2 تأمین می‌شود. در شکل ۸۱ــ۲ دیاگرام زمانی وضعیت حافظه‌ها رسم شده است. وضعیت حافظه‌ها را در جدول ۱۸ــ۲ نشان داده‌ایم. وضعیت حافظه‌ها شمارش اعداد را به ترتیب از صفر تا ۱۵ بیان می‌کند. این شمارنده که از ۰ تا ۱۵ را شمارش می‌کند، شمارنده آسنکرون صعودی[1] نام دارد. پی‌بردیم با ۴ فلیپ فلاپ می‌توانیم تا عدد ۱۶ (۱۶= 2^4) شمارش کنیم. به‌طور کلی با n فلیپ فلاپ می‌توان تا عدد 2^n را شمرد.



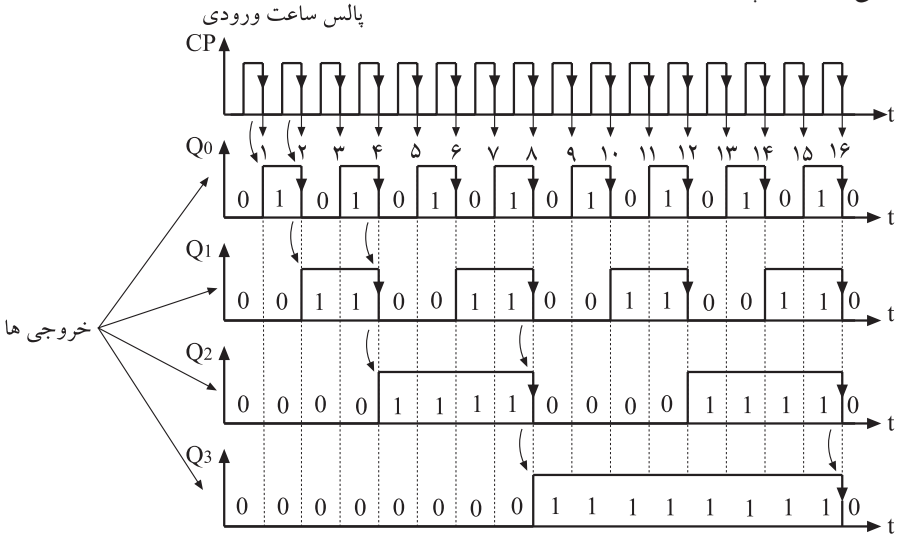
شکل ۸۰ــ۲ــ دومین فلیپ فلاپ CLK خود را از Q_0 دریافت می‌کند.

ــ فلیپ فلاپ FF_0 با لبه‌ی نزولی پالس ساعت ورودی تغییر وضعیت می‌دهد.

ــ فلیپ فلاپ FF_1 باتغییر حالت Q_0 از «۱» به «۰» تغییر حالت می‌دهد.

ــ فلیپ فلاپ FF_2 با تغییر حالت Q_1 از «۱» به «۰» تغییر حالت می‌دهد.

ــ فلیپ فلاپ FF_3 با تغییر حالت Q_2 از «۱» به «۰» تغییر حالت می‌دهد.



شکل ۸۱ــ۲ــ دیاگرام زمانی وضعیت حافظه‌ها

جدول ۱۸ــ۲ــ اعداد شمارش شده از صفر تا ۱۵

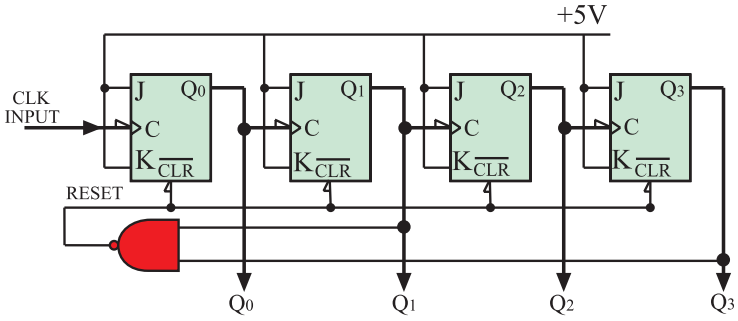
	(8)	(4)	(2)	(1)	
اعشاری	Q_0	Q_1	Q_2	Q_3	
۰	0	0	0	0	
۱	1	0	0	0	
۲	0	1	0	0	
۳	1	1	0	0	
۴	0	0	1	0	
۵	1	0	1	0	
۶	0	1	1	0	
۷	1	1	1	0	
۸	0	0	0	1	
۹	1	0	0	1	
۱۰	0	1	0	1	
۱۱	1	1	0	1	
۱۲	0	0	1	1	
۱۳	1	0	1	1	
۱۴	0	1	1	1	
۱۵	1	1	1	1	

۱ــ up Counter شمارنده صعودی

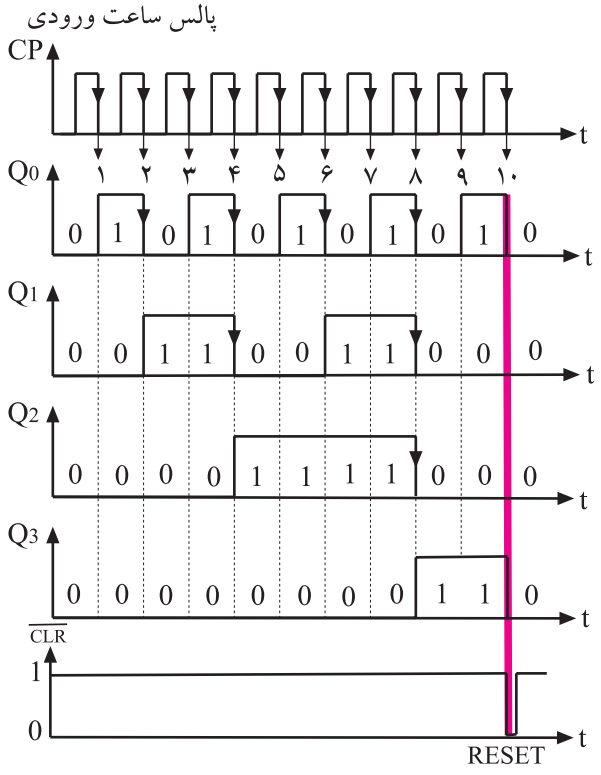
۳ــ۴ــ۲ــ شمارنده‌ی آسنکرون دهدهی: شمارنده‌ای که از صفر تا ده یعنی ده رقم ۰ و ۱ و ۲ و ۳ و ۴ و ۵ و ۶ و ۷ و ۸ و ۹ را شمارش کند شمارنده دهدهی نام دارد. برای شمارش تا ده به ۴ فلیپ فلاپ نیاز داریم. چهار فلیپ فلاپ می‌تواند تا پایان عدد ۱۵ یعنی $(1111)_2$ شمارش کند. لذا باید مدار شمارنده آسنکرون صعودی را طوری اصلاح کنیم که بعد از شمارش عدد ۹ یعنی $(1001)_2$ همه فلیپ فلاپ‌ها Reset شده و شمارش مجدداً از صفر شروع شود. برای این منظور مدار را مطابق شکل ۸۲ــ۲ اصلاح می‌کنیم.

بعد از پایان شمارش عدد۹یعنی $(1001)_2$ شمارش عدد ۱۰ یعنی $(1010)_2$ آغاز می‌شود. از حافظه‌هایی که در عدد $(1010)_2$ یک شده‌اند به ورودی NAND فیدبک می‌کنیم تا خروجی گیت NAND برای مدت کوتاهی صفر شود. چون خروجی NAND به Clear حافظه‌ها وصل است، کلیه حافظه‌ها Reset شده و شمارش مجدداً از صفر آغاز می‌شود.

در شکل ۸۳ــ۲ دیاگرام زمانی حافظه‌ها رسم شده است. جدول ۱۹ــ۲ جدول درستی این شمارنده را نشان می‌دهد.



شکل ۸۲ــ۲ــ شمارنده آسنکرون دهدهی

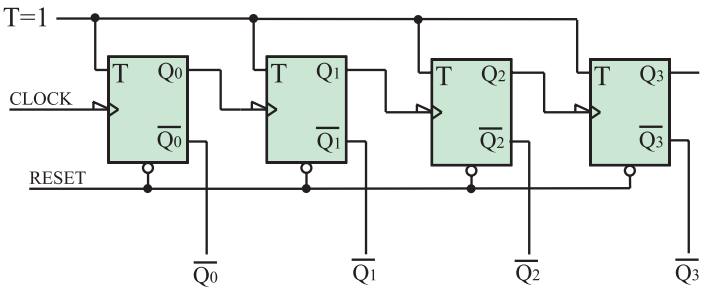


شکل ۸۳ــ۲ــ دیاگرام زمانی حافظه‌ها

جدول ۱۹ــ۲ــ جدول درستی شمارنده دهدهی

Q_3	Q_2	Q_1	Q_0	اعشاری
0	0	0	0	۰
0	0	0	1	۱
0	0	1	0	۲
0	0	1	1	۳
0	1	0	0	۴
0	1	0	1	۵
0	1	1	0	۶
0	1	1	1	۷
1	0	0	0	۸
1	0	0	1	۹

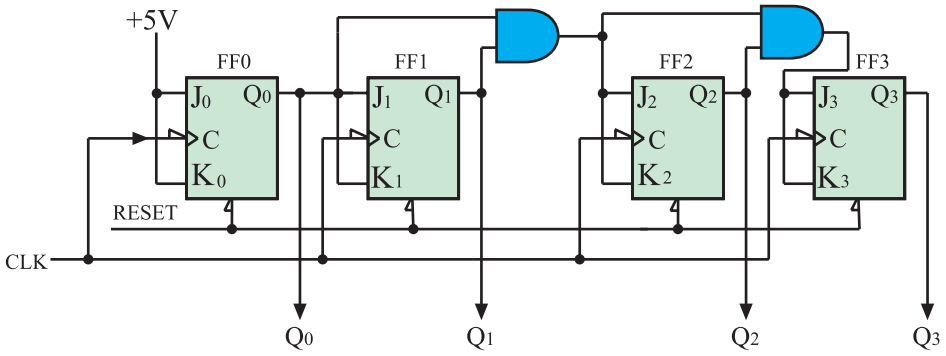
۴ــ۴ــ۲ــ شمارنده آسنکرون نزولی[1]: شمارنده آسنکرون موجی می‌تواند معکوس شمار هم باشد یعنی از عدد خاص شروع به شمارش کند و به‌طور معکوس بشمارد تا به صفر برسد. برای این منظور باید اطلاعات را از خروجی $\overline{Q}$ فلیپ فلاپ‌ها دریافت کنیم. شکل ۸۴ــ۲ مدار این نوع شمارنده را نشان می‌دهد. این شمارنده از عدد ۱۵یعنی $(1111)_2$ شروع به شمارش می‌کند و بعد از هر پالس ساعت، شمارش یک عدد کاهش می‌یابد و در نهایت به صفر ختم می‌شود. بعد از رسیدن به صفر مجدداً شمارش از عدد $(1111)_2$ آغاز و به صفر می‌رسد.



شکل ۸۴ــ۲ــ شمارنده آسنکرون نزولی

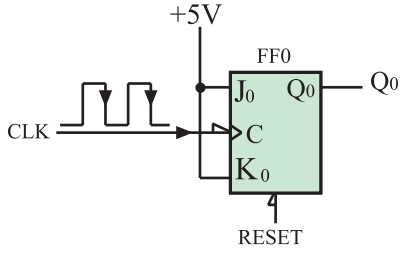
۵ــ۴ــ۲ــ شمارنده سنکرون (همزمان): در شمارنده آسنکرون تغییر وضعیت هر فلیپ فلاپ به تغییر وضعیت فلیپ فلاپ طبقه ماقبل آن بستگی دارد.

به همین جهت سرعت عمل در این شمارنده‌ها کم است، و چنانچه فرکانس پالس ساعت زیاد شود در شمارش خطا به‌وجود می‌آید. در شمارنده سنکرون این اشکال برطرف می‌شود. فقط گیت‌های به‌کار رفته در این شمارنده از شمارنده آسنکرون بیشتر است. شکل ۸۵ــ۲ مدار یک شمارنده سنکرون چهار بیتی را نشان می‌دهد.



شکل ۸۵ــ۲ــ شمارنده سنکرون چهاربیتی

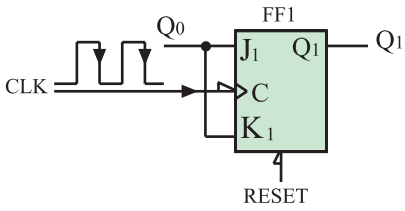
مشاهده می‌شود پالس ساعت همه فلیپ فلاپ‌ها از یک منبع تأمین شده است. در فلیپ فلاپ FFO $J_0 = K_0 = 1$ است. از این‌رو Q_0 در هر لبه نزولی پالس ساعت تغییر وضعیت می‌دهد (شکل ۸۶ــ۲). از طرفی Q_0 به J_1 وصل است لذا FF_1 زمانی تغییر وضعیت می‌دهد که Q_0 در حالت منطقی (۱) باشد (شکل



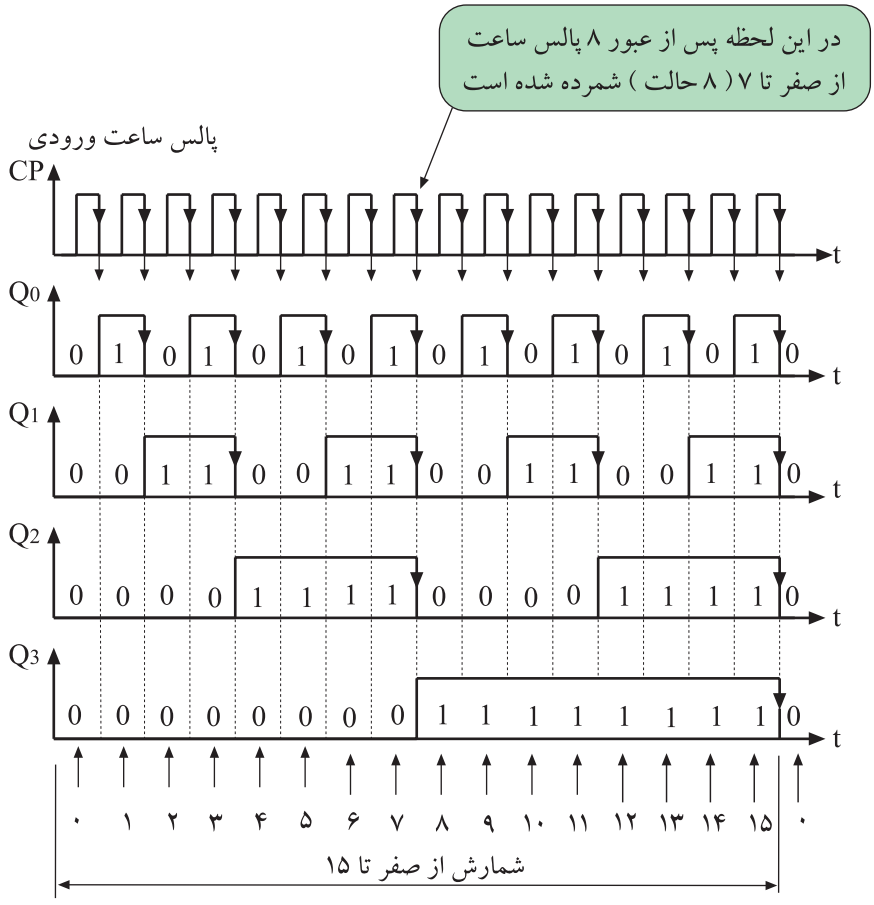
شکل ۸۶ــ۲ــ $J_0 = K_0 = 1$ است لذا Q_0 در هر لبه نزولی تغییر وضعیت می‌دهد.

۱ــ down Counter شمارنده نزولی

۲ــ۸۷)چون $J_۲ = K_۲ = Q_۱Q_۰$ است، $FF_۲$ زمانی تغییر وضعیت می‌دهد که $Q_۰$ و $Q_۱$ هر دو با هم در حالت منطقی (۱) باشند و در نهایت چون $J_۳ = K_۳ = Q_۲Q_۱Q_۰$ است، $FF_۳$ زمانی تغییر وضعیت می‌دهد که $Q_۰$ و $Q_۱$ و $Q_۲$ هر سه با هم در حالت منطقی (۱) باشند. شکل ۸۸ــ۲ نمودار ارتباط زمانی حافظه‌های این شمارنده را نشان می‌دهد.



شکل ۸۷ــ۲ــ $K_۱ = J_۱ = Q_۰$ است.



شکل ۸۸ــ۲ــ دیاگرام زمانی شمارنده

۵ــ۲ــ بررسی انواع آی‌سی‌های حافظه

۱ــ۵ــ۲ــ بررسی کلی: حافظه مجموعه‌ای از سلول‌ها است که برای ذخیره اطلاعات (داده) به‌کار می‌رود. معمولاً در حافظه‌ها مدارهایی برای انتقال اطلاعات نیز وجود دارد. واحد حافظه اطلاعات را به صورت ارقام باینری۰ و ۱ در خود ذخیره می‌کند. شکل۸۹ــ۲ حافظه را مانند خانه‌هایی نشان می‌دهد. به هر ۰ و یا ۱ یک بیت گفته می‌شود.

1	0	1	1	0	0	1	1

شکل ۸۹ــ۲ــ حافظه مانند خانه‌هایی ۰ و ۱ را در خود ذخیره می‌کند.

۲ــ۵ــ۲ــ بایت[1]: هر داده از هر نوعی که باشد (رقم یاحرف و یا غیره) به‌صورت ترکیبی از ۰ها و ۱ها کدبندی می‌شود. معمولاً داده‌ها در دسته‌های ۸تایی سازماندهی می‌شوند. به هر ۸ بیت یک بایت گویند. هر بایت 2^8 یا ۲۵۶ ترکیب مختلف از ۰ها و یک‌ها را ایجاد می‌کند. در شکل ۹۰ــ۲ دو ترکیب یک بایت نشان داده شده است.

۳ــ۵ــ۲ــ کلمه[2]: گاهی در حافظه‌ها کلمه به جای بایت سازمان‌دهی می‌شود. هر کلمه نسبت به بایت از تعداد بیشتری بیت درست شده است. کلمه معمولاً مضربی از بایت است. مثلاً کلمه ۲ بایتی از ۱۶ بیت و کلمه ۴ بایتی از ۳۲ بیت تشکیل شده است. پس کلمه نشان‌دهنده گروه کوچکی از داده‌ها است.

شکل ۹۱ــ۲ یک کلمه دو بایتی را نشان می‌دهد.

۴ــ۵ــ۲ــ ظرفیت حافظه: ظرفیت هر حافظه معمولاً به مجموع تعداد بایت‌های آن حافظه گفته می‌شود. حجم حافظه‌ها معمولاً مضربی از $2^{10}=1024$ بایت است. در جدول ۲۰ــ۲ ظرفیت معمول حافظه‌ها نوشته شده است.

۵ــ۵ــ۲ــ ارتباط بین حافظه‌ها و مدارهای خارجی:
ارتباط بین حافظه با دستگاه‌ها و مدارهای خارجی از طریق خطوط داده ورودی، خطوط داده خروجی، خطوط آدرس و خطوط کنترل انجام می‌شود. در شکل ۹۲ــ۲ بلوک دیاگرام یک واحد حافظه نشان داده شده است. در این شکل برای جلوگیری از رسم تعداد زیاد خط، به جای n خط فقط یک خط ضخیم رسم شده است.

از هر بایت می توان ۲۵۶ ترکیب به وجود آورد

یک ترکیب ۸ بیتی

0	1	1	1	0	1	1	0

یک ترکیب دیگر ۸ بیتی

1	1	0	1	0	0	0	1

شکل ۹۰ــ۲ــ دو ترکیب متفاوت که شامل ۸ بیت (یک بایت) است.

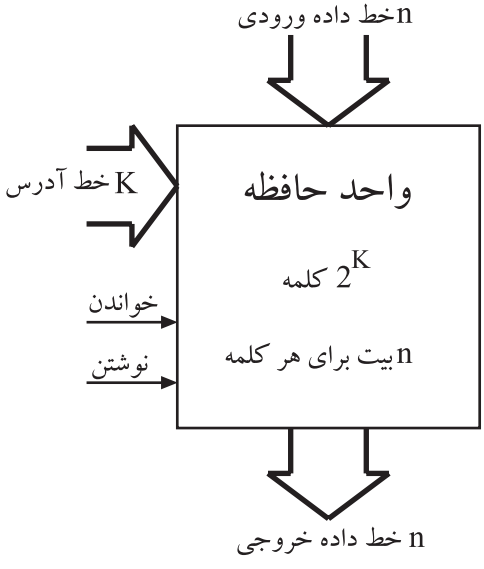
کلمه از تعدادی بایت تشکیل می‌شود.

1	1	0	1	0	0	0	1	0	1	1	1	0	1	1	0

شکل ۹۱ــ۲ــ یک کلمه دو بایتی

جدول ۲۰ــ۲ــ ظرفیت معمول حافظه‌ها

کیلو بایت	۱۰۲۴B=۱kB
مگا بایت	۱۰۲۴kB=۱MB
گیگا بایت	۱۰۲۴MB=۱GB
ترابایت	۱۰۲۴GB=۱TB

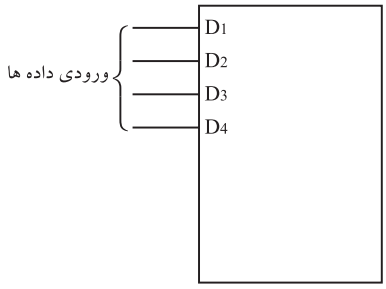


شکل ۹۲ــ۲ــ بلوک دیاگرام یک واحد حافظه

۱ــ byte هر ۸ بیت یک بایت است.

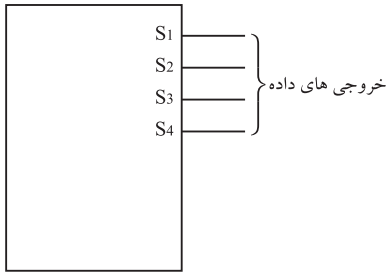
۲ــ Word

ورودی: n خط داده ورودی، اطلاعاتی را که باید در حافظه ذخیره شود در ورودی حافظه قرار می‌دهد (شکل ۹۳ــ۲).



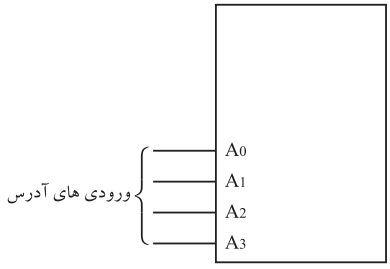
شکل ۹۳ــ۲ــ چهار خط ورودی داده‌ها

خروجی: n خط داده خروجی اطلاعات را به خارج از حافظه انتقال می‌دهد (شکل ۹۴ــ۲).



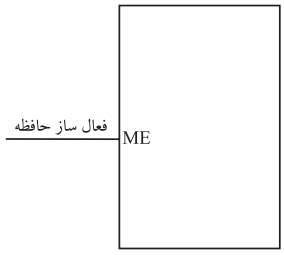
شکل ۹۴ــ۲ــ خط‌های خروجی داده‌ها

آدرس: تعداد k خط آدرس، کلمه به‌خصوصی را از بین کلمات متعدد در حافظه انتخاب می‌کند. بنابراین باید برای انتخاب هر کلمه در داخل حافظه، یک آدرس k بیتی در خطوط آدرس وجود داشته باشد. یک رمزگشا در داخل حافظه، این آدرس را به عنوان ورودی دریافت می‌کند و مسیرهای لازم را برای کلمه موردنظر باز می‌کند. شکل ۹۵ــ۲ چهار خط آدرس را نشان می‌دهد.

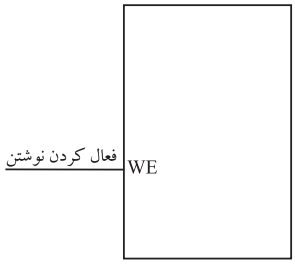


شکل ۹۵ــ۲ــ چهار بیت آدرس یکی از $۲^۴ = ۱۶$ کلمه حافظه را انتخاب می‌کند.

خطوط کنترل: خطوط کنترل جهت انتقال اطلاعات به‌کار می‌روند. خطوط کنترل مربوط به نوشتن اطلاعات برای انتقال اطلاعات به حافظه به‌کار می‌روند. خطوط کنترل مربوط به خواندن، اطلاعات را از حافظه می‌خوانند و خارج می‌کنند. شکل ۹۶ــ۲ و ۹۷ــ۲ نمونه‌ای از خطوط کنترل حافظه رانشان می‌دهد. ME[1] خط کنترل فعال‌ساز حافظه است و WE[2] جهت نوشتن یا خواندن حافظه به‌کار می‌رود. مثلاً اگر $WE = ۰$ باشد داده‌ها در حافظه نوشته می‌شوند. در صورتی که $WE = ۱$ باشد عمل خواندن از



شکل ۹۶ــ۲ــ فعال‌ساز حافظه یک خط کنترل است



شکل ۹۷ــ۲ــ فعال‌ساز خواندن حافظه

۱ــ ME - Memory Enable فعال ساز حافظه ۲ــ WE - Write and Read Enable فعال ساز نوشتن و خواندن

حافظه انجام می‌شود. برای مثال حافظه‌ای با ظرفیت یک کیلوبایت کلمه ۱۶ بیتی را در نظر می‌گیریم. این حافظه به صورت ۱K×۱۶ یا ۱۰۲۴×۱۶ بیت نشان داده می‌شود. این حافظه را همراه با آدرس هرکلمه می‌توان مطابق شکل ۹۸ــ۲ نشان داد. در شکل فقط سه کلمه اول و سه کلمه آخر نوشته شده است.

محتوای حافظه	آدرس حافظه (دهدهی)	آدرس حافظه (دودویی)
1011010101011011	۰	0000000000
1000010101011011	۱	0000000001
1100010111111011	۲	0000000010
....	....	....
....	....	....
....	....	....
1000010101111111	۱۰۲۱	1111111101
1011010101011011	۱۰۲۲	1111111110
1011100100011000	۱۰۲۳	1111111111

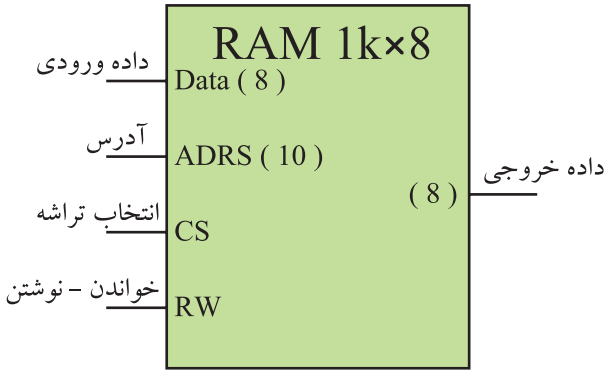
شکل ۹۸ــ۲ــ محتوای یک حافظه ۱۰۲۴×۱۶ بیتی

۶ــ۵ــ۲ــ انواع حافظه: حافظه‌ها براساس نحوه‌ی ذخیره‌سازی اطلاعات و چگونگی دسترسی به آن‌ها به انواع مختلف تقسیم‌بندی می‌شوند.

۷ــ۵ــ۲ــ حافظه با دست‌یابی تصادفی یا RAM[1]:

این حافظه یک نوع حافظه موقتی برای نگه‌داری اطلاعات و داده‌ها است. چون دست‌یابی به داده موجود در این حافظه به‌محل قرار گرفتن آن بستگی ندارد و اصولاً می‌توان به هر سلول حافظه در هر محل تصادفی در حافظه دسترسی داشت، به این نوع حافظه، حافظه با دست‌یابی تصادفی (RAM) می‌گویند. شکل ۹۹ــ۲ چند نمونه RAM را نشان می‌دهد. اطلاعات ذخیره شده در RAM پاک شدنی است و پس از پاک کردن RAM می‌توان داده‌های جدیدی را در آن جایگزین کرد. به عبارت دیگر RAM تابلویی است که می‌توان بارها روی آن نوشت و پاک کرد. با قطع برق تمام محتوای این حافظه از بین می‌رود. به همین جهت این نوع حافظه را حافظه موقتی می‌نامند. شکل ۱۰۰ــ۲ نماد بلوکی یک تراشه RAM را نشان می‌دهد.

شکل ۹۹ــ۲ــ آی‌سی‌های RAM در یک کامپیوتر



شکل ۱۰۰ــ۲ــ نماد بلوکی تراشه یک RAM

ظرفیت این حافظه ۱۰۲۴ کلمه و هر کلمه دارای ۸ بیت است.

برای ۱۰۲۴ کلمه به ۱۰ خط آدرس نیاز است. داده‌های ورودی ۸ خط و داده خروجی نیز ۸ خط دارد. خطوط ورودی، آدرس و خروجی در دیاگرام شکل ۱۰۰ــ۲ برای اختصار با یک خط نشان داده شده است.

۱ــ RAM -Random Access Memory حافظه با دستیابی تصادفی