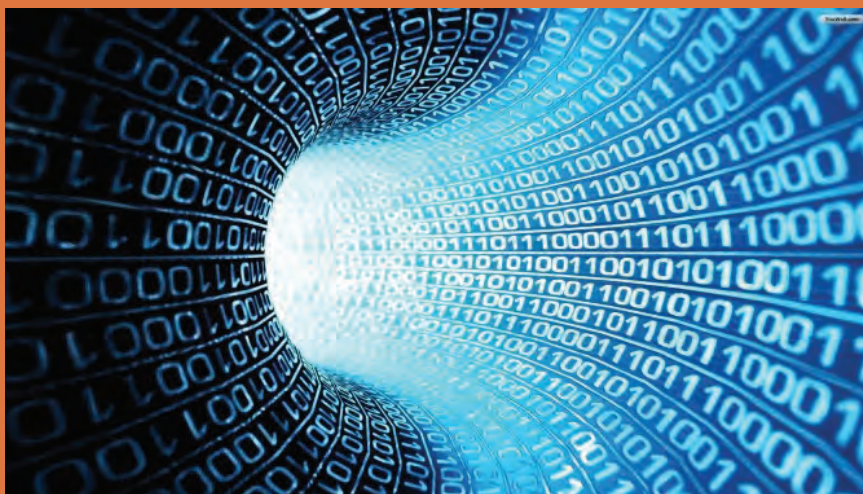


پودمان ۳

تحلیل مدارهای دیجیتال



دنیای کنونی که نام آن دهکده جهانی مطرح شده، به دلیل وجود شبکه‌های پیچیده و پیشرفته اطلاع‌رسانی و تجهیزات مدرن مخابراتی و حمل و نقل است. تحول در این زمینه نیز سبب استفاده از این پدیده‌های مدرن در سایر زمینه‌های صنعتی، نظامی، کشاورزی و پزشکی شده است و به کارگیری این نوع تجهیزات و دستگاه‌ها که کارایی بالایی دارند، تقریباً همه‌گیر شده است. منشأ این کارایی را می‌توان در علوم دیجیتال جست‌وجو کرد. یکی از کاربردهای دیجیتال در رسانه‌های جمعی، رسانه‌های رایانه‌ای است. با توجه به این پدیده، در سال‌های آینده شاهد کاربرد بسیار محدود دستگاه‌های آنالوگ خواهیم بود و دستگاه‌های دیجیتالی همه‌گیر خواهند شد. کما اینکه هم اکنون استفاده از گیرنده‌های دیجیتال تلویزیونی فراگیر شده است و طولی نمی‌کشد که دیگر نمی‌توانید نمونه‌های گیرنده‌های آنالوگ تلویزیون را در منازل ببینید. زیرا انتقال حجم عظیم اطلاعات در زمان بسیار کوتاه، بازسازی اطلاعات ارسالی در مقصد با کیفیت بسیار بالا و تحلیل دقیق اطلاعات از طریق سامانه‌های دیجیتالی به آسانی امکان پذیر شده است.

بنابراین با توجه به نیازی که در ارتباط با تأمین نیروی انسانی وجود دارد، در این پیمان، در دو واحد یادگیری مطالب پایه‌ای مورد نیاز مربوط به مدارهای دیجیتالی را آموزش می‌دهیم.

واحد یادگیری ۵

کسب شایستگی در به کارگیری قوانین جبر بول و نقشه کارنو (به صورت محاسباتی و نرم‌افزاری)

آیا تا به حال فکر کرده‌اید:

- چرا باید توابع منطقی را ساده کنیم؟
- بستن مدارهای دیجیتالی با گیت‌های کمتر چه مزایایی دارد؟
- چه قوانینی برای نوشتن و ساده کردن توابع منطقی وجود دارد؟
- قوانین جبر بول چه شباهت‌هایی با قوانین حاکم بر اتحادهای ریاضی دارد؟
- چه روش‌هایی برای ساده‌سازی توابع منطقی وجود دارد؟
- چه نرم‌افزارهایی برای ساده‌سازی توابع منطقی وجود دارد؟
- ساده‌سازی توابع منطقی با نرم‌افزار، چه کمکی به آموزش می‌کند؟

برای طراحی مدارهای دیجیتالی باید از روش‌های استاندارد و تعریف شده‌ای استفاده کنیم که بتواند کار طراحی مدار را ساده کند. نخستین گام در این راستا، نوشتن توابع منطقی و ساده کردن آن است. به این ترتیب می‌توانیم در طراحی و ساخت مدارهای الکترونیک و دیجیتالی از قطعات کمتری استفاده کنیم. همان‌طور که می‌دانید، استفاده از تعداد زیاد گیت‌های دیجیتالی سبب افزایش تعداد قطعات و در پی آن اشغال حجم زیاد، تلفات توان بالا، تأخیر در انتشار زیاد و هزینه بالا می‌شود. یکی از روش‌ها برای ساده‌سازی توابع منطقی، استفاده از قوانین جبر بول است.

در این واحد یادگیری، ابتدا قوانین جبر بول توضیح داده می‌شود، سپس در ارتباط با آن چند مثال و تمرین حل می‌کنید تا بتوانید به مهارت‌های لازم برای به کارگیری این قوانین برسید. بعد از کسب مهارت در قوانین جبر بول، توابع منطقی را با استفاده از نقشه کارنو ساده خواهید کرد. به کارگیری نرم‌افزار برای ساده‌سازی توابع منطقی می‌تواند صحت عملکرد ما را مورد تأیید قرار دهد.









استاندارد عملکرد

به کارگیری قوانین جبر بول و نقشه کارنو برای ساده‌سازی توابع منطقی

۵-۱- یادآوری گیت‌های منطقی

با گیت‌های منطقی پایه در پودمان‌های قبلی آشنا شده‌اید. جهت یادآوری عملکرد گیت‌های منطقی پایه، در جدول ۵-۱، نماد، تابع منطقی خروجی برحسب متغیرهای ورودی و جدول درستی آنها را آورده‌ایم. لازم است جهت یادآوری، جدول را مورد مطالعه دقیق قرار دهید.

جدول ۱-۵، نماد، تابع منطقی و جدول درستی

نام دروازه	نماد (سمبل گرافیکی)	تابع منطقی	جدول درستی															
AND		$Y = AB$	<table border="1"> <thead> <tr><th>A</th><th>B</th><th>Y</th></tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </tbody> </table>	A	B	Y	0	0	0	0	1	0	1	0	0	1	1	1
A	B	Y																
0	0	0																
0	1	0																
1	0	0																
1	1	1																
OR		$Y = A + B$	<table border="1"> <thead> <tr><th>A</th><th>B</th><th>Y</th></tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </tbody> </table>	A	B	Y	0	0	0	0	1	1	1	0	1	1	1	1
A	B	Y																
0	0	0																
0	1	1																
1	0	1																
1	1	1																
NOT		$Y = \bar{A}$	<table border="1"> <thead> <tr><th>A</th><th>Y</th></tr> </thead> <tbody> <tr><td>0</td><td>1</td></tr> <tr><td>1</td><td>0</td></tr> </tbody> </table>	A	Y	0	1	1	0									
A	Y																	
0	1																	
1	0																	
NAND		$Y = \overline{AB} = (AB)'$	<table border="1"> <thead> <tr><th>A</th><th>B</th><th>Y</th></tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </tbody> </table>	A	B	Y	0	0	1	0	1	1	1	0	1	1	1	0
A	B	Y																
0	0	1																
0	1	1																
1	0	1																
1	1	0																
NOR		$Y = \overline{A+B} = (A+B)'$	<table border="1"> <thead> <tr><th>A</th><th>B</th><th>Y</th></tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </tbody> </table>	A	B	Y	0	0	1	0	1	0	1	0	0	1	1	0
A	B	Y																
0	0	1																
0	1	0																
1	0	0																
1	1	0																
XOR		$Y = A \oplus B = \bar{A}B + A\bar{B}$	<table border="1"> <thead> <tr><th>A</th><th>B</th><th>Y</th></tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </tbody> </table>	A	B	Y	0	0	0	0	1	1	1	0	1	1	1	0
A	B	Y																
0	0	0																
0	1	1																
1	0	1																
1	1	0																
XNOR		$Y = \overline{A \oplus B} = \bar{A}\bar{B} + AB$	<table border="1"> <thead> <tr><th>A</th><th>B</th><th>Y</th></tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </tbody> </table>	A	B	Y	0	0	1	0	1	0	1	0	0	1	1	1
A	B	Y																
0	0	1																
0	1	0																
1	0	0																
1	1	1																
Buffer		$Y = A$	<table border="1"> <thead> <tr><th>A</th><th>Y</th></tr> </thead> <tbody> <tr><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td></tr> </tbody> </table>	A	Y	0	0	1	1									
A	Y																	
0	0																	
1	1																	

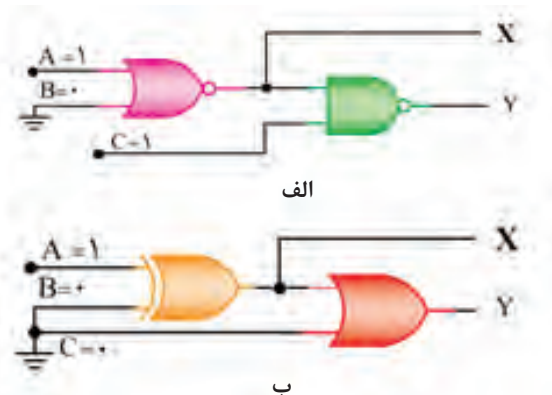


■ با توجه به مدار معادل کلیدی شکل ۵-۱، نماد هر گیت را در محل تعیین شده رسم کنید و تابع منطقی خروجی را بر حسب متغیرهای ورودی بنویسید.

ردیف	نماد معادل کلیدی گیت	نمادگیت	تابع منطقی خروجی بر حسب متغیرهای ورودی
۱			
۲			
۳			

شکل ۵-۱

■ با توجه به شکل الف و ب ۵-۲، تراز منطقی ۰ یا ۱ را در خروجی‌های X و Y مربوط به هر گیت تعیین کرده و در جدول درستی هر یک از مدارها درج کنید.



A	B	C	X	Y
۱	۰	۱		

A	B	C	X	Y
۱	۰	۰		

شکل ۵-۲

۲-۵- قوانین جبر بول (Boolean Algebra)

جبر بول مدلی ریاضی برای مدارهای منطقی است که چگونگی عملکرد یک مدار دیجیتالی را با زبان ریاضی تعریف شده خاص خود بیان می‌کند. با استفاده از قوانین جبر بول، مدل ریاضی ساده و قابل استفاده‌ای برای انواع مدارهای منطقی، مدارهای ترکیبی و ترتیبی دیجیتالی ارائه می‌شود. با استفاده از این روابط می‌توانیم به موارد زیر دست یابیم.

- روابط بین خروجی‌ها و ورودی‌های مدار به صورت ساده‌ترین شکل ریاضی.
- اجزای واقعی مدارهای کاربردی و عملی و آموزش آنها به ساده‌ترین شکل.
- بیان صحیح عملکرد منطقی مدارها.

برای فراگیری جبر بول و روابط آن لازم است برخی از مفاهیم را به خوبی یاد بگیریم. بدیهی است بدون فراگیری این مفاهیم نمی‌توانیم مدل‌های ریاضی جبر بول را به کار ببریم یا آنها را ساده کنیم. بسیاری از این موارد با مفاهیم پایه‌ای ریاضی تطابق داشته و برخی از آنها مربوط به جبر بول است. در ادامه به شرح این مطالب می‌پردازیم.

عضو خنثی: اگر در عملیات ریاضی، صفر را با اعداد یا توابع ریاضی دیگر جمع کنیم تأثیری در آن عدد یا تابع ندارد. این حالت یعنی در عملیات جمع به صفر عضو خنثی می‌گوییم. همچنین اگر عدد یک را در عدد یا تابع ریاضی ضرب کنیم، در عدد یا تابع ریاضی تأثیری ندارد. یعنی در عملیات ضرب، عدد یک را عضو خنثی می‌گوییم. در این قسمت می‌خواهیم تأثیر عضو خنثی در عمل منطقی AND و OR را مورد بررسی قرار دهیم.

□ **عضو خنثی (inactive) در عمل منطقی OR:** در عمل منطقی OR، وقتی متغیر یا تابع با عضو خنثی جمع منطقی (OR) می‌شود، تابع یا متغیر به همان شکل باقی می‌ماند. در این عمل منطقی، صفر منطقی را که چنین خاصیتی دارد عضو خنثی می‌نامند.

$$\text{مثال ۱: } 0 + A = A$$

$$\text{مثال ۲: } 0 + AB + \bar{C}D = AB + \bar{C}D$$

□ **عضو خنثی در عمل منطقی AND:** در عمل منطقی AND، یک منطقی را عضو خنثی می‌نامند.

با توجه به تعریف بیان شده برای عضو خنثی در عمل منطقی OR، چرا عدد یک را برای عمل منطقی AND عضو خنثی می‌نامند؟

فکر کنید



$$\text{مثال ۳: } 1 \cdot A = A$$

$$\text{مثال ۴: } 1 \cdot (AB + CD) = AB + CD$$

مدارهای کلیدی $0+A$ و $1 \cdot A$ را رسم کنید و عملکرد مدارهای کلیدی را بررسی کرده و نتیجه را ارائه دهید.

کار گروهی



توجه داشته باشید که صفر ("0") معادل مدار کلید همیشه باز و یک ("1") معادل مدار کلید همیشه بسته است.

نکته



فعالیت در منزل



با استفاده از یکی از نرم‌افزارهایی که آموخته‌اید، عضو خنثی را در عمل منطقی OR و AND، در دو حالت به صورت مدار کلیدی و گیت منطقی ببینید و نتیجه عملکرد مدارها را مشاهده کنید و با مفاهیم تعریف شده تطبیق دهید.

بارش فکری



■ اگر متغیر یا تابع منطقی با یک منطقی (1) OR شود، حاصل چه خواهد شد؟ چرا؟ $1+A=?$
■ اگر متغیر یا تابع منطقی با صفر منطقی (0) AND شود، حاصل چه خواهد شد؟ چرا؟ $0.A=?$
پس از بارش فکری نتیجه را جمع‌بندی کنید و در قالب یک گزارش کوتاه ارائه دهید.

قانون یکسانی یا عینیت (Identity)

هرگاه متغیر یا تابعی منطقی با خودش جمع منطقی شود (OR) یا ضرب منطقی شود (AND)، حاصل همان متغیر یا تابع خواهد بود.

فکر کنید



توجه داشته باشید که این عملیات با عملیات ریاضی تطبیق ندارد و از عملیات ویژه جبر بول است. چرا؟ با مثال شرح دهید

مثال ۵: $A.A.A=A$ و $A+A+A=A$

مثال ۶: $AC+BD+AC+BD=AC+BD$

مثال ۷: $A.AB=AB$

مثال ۸: $(\overline{A}\overline{B}+CD).(\overline{A}\overline{B}+CD)=\overline{A}\overline{B}+CD$

فعالیت



توابع F_1 و F_2 را ساده کنید.

$$1) F_1 = AB + \overline{A}B + C\overline{C}D$$

$$2) F_2 = \overline{A}\overline{A}BC + \overline{A}BC + BBC$$

قانون جابه‌جایی (Relocation): در عمل منطقی OR و AND بین چند متغیر، متغیرها جابه‌جایی پذیرند.

فکر کنید



این قانون با کدام یک از مفاهیم ریاضی انطباق دارد؟

مثال ۹: $A+B+C=A+C+B=C+A+B=B+C+A$

مثال ۱۰: $A.B.C=B.C.A=C.A.B$

قانون اتحاد (association)

مثال ۱۱: $A+(B+C)=(A+B)+C$

مثال ۱۲: $A.(B.C)=(A.B).C$

آیا قانون اتحاد با قوانین و مفاهیم ریاضی انطباق دارد؟ پاسخ دهید و پاسخ خود را به بحث بگذارید و جمع بندی کنید.

فکر کنید



قانون توزیع (Distribution)

□ توزیع AND در OR

مثال ۱۳: $A \cdot (B+C) = A \cdot B + A \cdot C$

□ توزیع OR در AND

مثال ۱۴: $A + B \cdot C = (A + B) \cdot (A + C)$

آیا عملیات مثال ۱۴ شبیه عمل فاکتورگیری است یا از عملیات ویژه جبر بول به شمار می آید؟

فکر کنید



با توجه به مقادیر داده شده به متغیرهای A، B و C، جدول ۵-۲ را کامل کنید. سپس نتیجه بگیرید که آیا طرفین تساوی مربوط به توزیع OR در AND با هم برابر است؟ نتیجه را به بحث بگذارید.

فعالیت



جدول ۵-۲

متغیر A	متغیر B	متغیر C	تابع خروجی B.C	تابع خروجی A+B.C	تابع خروجی A+B	تابع خروجی A+C	تابع خروجی (A+B). (A+C)
۰	۰	۰					
۰	۰	۱					
۰	۱	۰					
۰	۱	۱					
۱	۰	۰					
۱	۰	۱					
۱	۱	۰					
۱	۱	۱					



مدار کلیدی $A+BC$ و $(A+C)$ ، $(A+B)$ را به طور جداگانه ببندید و با تغییر وضعیت کلیدهای A ، B و C جدولی تشکیل دهید و مباحث درج شده در ستون‌های جدول را از نظر علمی تأیید کنید و اثبات کنید که عملکرد مدار اولیه و مدار حاصل از توزیع OR در AND یکسان است.

قانون متمم (Complement)

□ اگر متغیری با نفی خودش OR شود، حاصل یک منطقی (۱) می‌شود. این عمل جبر بول را قانون متمم می‌گویند.

$$A + \bar{A} = 1$$

□ اگر متغیری با نفی خودش AND شود، حاصل صفر منطقی (۰) می‌شود. این عمل جبر منطقی را نیز قانون متمم می‌گویند.

$$A \cdot \bar{A} = 0$$



با توجه به قانون متمم جدول ۵-۳ را تکمیل کنید.

جدول ۵-۳

A	\bar{A}	$A + \bar{A}$	$A \cdot \bar{A}$
۰			
۱			

■ ساده‌سازی توابع با استفاده از قوانین جبر بول

با استفاده از قوانین جبر بول می‌توانیم توابع منطقی را ساده کنیم. در این قسمت ساده‌سازی را از طریق مثال تشریح می‌کنیم.

مثال ۱۵: تابع منطقی $F = A + \bar{A}B$ را ساده کنید.

پاسخ:

با به کارگیری قانون توزیع نتیجه می‌شود:

$$F = (A + \bar{A}) \cdot (A + B)$$

$$F = 1 \cdot (A + B) = A + B$$

مثال ۱۶: تابع F را ساده کنید. $F = A + AB$

پاسخ: با به کارگیری قوانین جبر بول داریم:

$$F = A \cdot 1 + A \cdot B \quad F = A(1 + B) = A(1) = A$$

مثال ۱۷: تابع Y به صورت $Y = \bar{A}\bar{B} + \bar{A}B$ تعریف شده است.

الف) مدار منطقی تابع Y را با گیت‌های منطقی رسم کنید.

ب) تابع Y را توسط قوانین جبر بول ساده کنید.

پ) مدار ساده شده را رسم کنید.

پاسخ:

الف) برای هر یک از گیت‌های داده شده در تابع، نماد آن را رسم می‌کنیم، سپس ورودی‌ها و خروجی‌ها را ارتباط می‌دهیم. شکل ۵-۳ مدار معادل Y را نشان می‌دهد.

ب) با توجه به قوانین جبر بول تابع را ساده می‌کنیم. با استفاده از قانون توزیع داریم:

$$Y = A\bar{B} + \bar{A}B = \bar{B}(A + \bar{A})$$

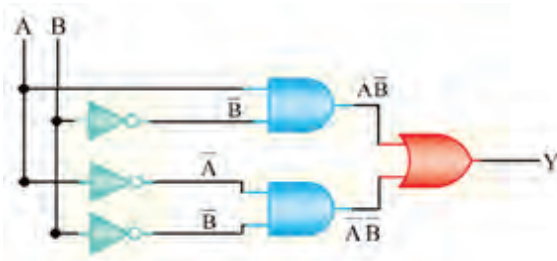
$$Y = \bar{B}(1)$$

با استفاده از قانون متمم داریم:

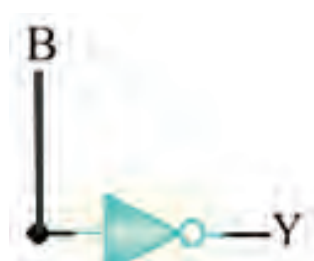
با استفاده از قانون عضو خنثی داریم

$$Y = \bar{B}$$

پ) مدار ساده شده به صورت شکل ۵-۴ در می‌آید.



شکل ۵-۳- مدار معادل تابع Y



شکل ۵-۴- مدار ساده شده تابع Y

همان‌طور که ملاحظه می‌شود، با توجه به قوانین ساده‌سازی جبر بول، توانستیم تابعی را که در آن تعداد ۲ متغیر قرار دارد و عملاً برای مدار آن مجبور بودیم تعداد ۶ گیت به کار ببریم، تبدیل به تابعی با یک متغیر و یک گیت نماییم.

مثال ۱۸: تابع $F = \bar{A}B + A\bar{B} + AB$ را ساده کنید.

پاسخ:

$$F = \bar{A}B + A(\bar{B} + B)$$

با استفاده از قانون توزیع داریم:

$$F = \bar{A}B + A(1) = \bar{A}B + A$$

با استفاده از قانون متمم داریم:

$$F = (A + \bar{A})(A + B) = 1(A + B) = (A + B)$$

با به‌کارگیری دوباره قانون توزیع و متمم داریم:

مدار معادل تابع اولیه و تابع ساده شده مثال ۱۸ را رسم کنید.

فعالیت در ساعات
غیر درسی



درباره تعداد متغیرها و تعداد گیت‌های تابع اولیه بحث کنید و تعداد متغیرها و تعداد گیت‌ها را در هر دو حالت با هم مقایسه کنید. همچنین بررسی کنید آیا خروجی‌ها برای هر دو حالت یکسان است یا خیر؟

بحث کنید



فعالیت



تابع $Y = \overline{ABC} + ABC + \overline{A}BC$ را با استفاده از قوانین جبر بول ساده کنید. سپس از روی تابع ساده شده مدار منطقی Y را رسم کنید.

فعالیت نرم‌افزاری در ساعات غیر درسی



هر دو تابع اصلی و ساده شده را به صورت نرم‌افزاری ببندید و عملکرد آنها را با هم مقایسه کنید. آیا نتیجه یکسان است؟

تمرین نرم‌افزاری در ساعات غیر درسی



تابع $Y = \overline{ABC} + ABC + \overline{A}BC$ را با استفاده از دستگاه Logic Converter در نرم‌افزار مولتی‌سیم، ساده کنید و نتیجه را با تابع ساده شده توسط قوانین جبر بول مقایسه کنید.

نکته



تابع نرم‌افزاری اصلی و ساده شده توسط هنرآموز نمایش داده شود.

تمرین



مدار منطقی تابع Y را در تمرین نرم‌افزاری فوق با استفاده از گیت‌های منطقی رسم کنید و خروجی آن را به دست آورید. سپس تابع را ساده کنید و مدار منطقی تابع ساده شده را نیز ترسیم کنید و خروجی آن را تعیین نمایید. نتایج حاصل از خروجی‌ها را در دو حالت با هم مقایسه کنید. اگر عملیات ساده‌سازی را درست انجام داده باشید، خروجی‌ها باید برابر باشند. پس از این تطبیق نتایج را برای هر دو حالت با نتایج حاصل از نرم‌افزار مقایسه کنید. نتیجه را در قالب یک گزارش ارائه دهید.

جدول ۵-۴

A	B	C	F
۰	۰	۰	۰
۰	۰	۱	۰
۰	۱	۰	۱
۰	۱	۱	۱
۱	۰	۰	۰
۱	۰	۱	۰
۱	۱	۰	۱
۱	۱	۱	۱

تمرین نرم‌افزاری:

- الف) تابع منطقی جدول درستی ۵-۴ را بنویسید.
 ب) توسط Logic Converter تابع F را ساده کنید.
 پ) توسط قوانین جبر بول تابع F را ساده کنید.
 ت) مدارهای مربوط به تابع ساده شده را رسم کنید.
 ث) نتیجه عملیات انجام شده توسط خود را با عملکرد نرم‌افزار مقایسه کنید.



- با استفاده از تجربه‌های کسب شده، تعداد حداقل سه تابع با سه متغیر طراحی کنید.
- با استفاده از قوانین جبر بول توابع را ساده کنید.
- مدار معادل منطقی هر یک از توابعی را در دو حالت اصلی و ساده شده با استفاده از گیت‌های منطقی ترسیم کنید.
- توابع اصلی را با نرم‌افزار شبیه‌سازی کنید و خروجی هر یک را به دست آورید.
- توابع ساده شده را با نرم‌افزار شبیه‌سازی کنید و خروجی هر یک را به دست آورید.
- هر یک از توابع طراحی شده در حالت ساده‌سازی با قوانین جبر بول و نرم‌افزاری را با هم مقایسه کنید و نتیجه آن را در قالب گزارش بنویسید.

الگوی پرسش: با به کارگیری قوانین جبر بول توابع زیر را ساده کنید. سپس مدار تابع اصلی و تابع ساده شده را ترسیم کنید. در نهایت صحت مدارها را با نرم‌افزار logic converter تأیید نمایید.

$$۱-F_۱ = \overline{AB} + \overline{A}B + AB$$

$$۲-F_۲ = \overline{A}C + ABC$$

$$۳-F_۳ = \overline{A}B\overline{C} + \overline{A}B\overline{C} + \overline{A}B + \overline{A}B\overline{C}$$

$$۴-F_۴ = \overline{A}B\overline{C} + \overline{A}B\overline{C} + \overline{A}B\overline{C} + \overline{A}B\overline{C}$$

$$۵-F_۵ = \overline{A}C + \overline{B}C + \overline{A}B + \overline{A}B$$

۳-۵- قانون دمورگان

■ هرگاه روی تمام متغیرهای یک تابع منطقی علامت منفی کامل یا نفی کلی وجود داشته باشد ($Y = \overline{A.B}$) یا ($Y = \overline{A + B}$) می‌توان علامت نفی را روی تک تک متغیرهای تابع اثر داد. در این حالت لازم است براساس قانون دمورگان عمل منطقی بین متغیرها از AND به OR یا از OR به AND یا از ۰ به ۱ یا از ۱ به ۰ تغییر کند.

مثال ۱۹:

$$Y = \overline{A + B} = \overline{A} \cdot \overline{B}$$

$$Y = \overline{A \cdot B} = \overline{A} + \overline{B}$$

به این ترتیب پس از تبدیل می‌توانیم توابع منطقی را با کمک قوانین جبر بول ساده کنیم.

مثال ۲۰: تابع $F = \overline{A + B + C}$ را با استفاده از قانون دمورگان ساده کنید.

$$F = \overline{A + B + C} = \overline{A} \cdot \overline{B} \cdot \overline{C}$$

تمرین: تابع $F = \overline{A \cdot B \cdot C}$ را با استفاده از قانون دمورگان ساده کنید.

مثال ۲۱: تابع $F = \overline{A + BC}$ را با استفاده از قانون دمورگان و قوانین جبر بول ساده کنید.

پاسخ: چون علامت منفی یا نفی کلی روی تمام تابع وجود دارد و تابع ترکیبی از سه متغیر به صورت AND و OR است باید عملیات ساده‌سازی طی چند مرحله انجام شود.

مرحله اول: طبق قانون دمورگان علامت نفی کلی روی تابع را به متغیر A و متغیرهای عبارت B.C منتقل

و عمل منطقی OR را به AND تبدیل می‌نماییم.

$$F = \overline{A + BC} = \overline{A} \cdot \overline{BC}$$

همان طور که مشاهده می شود عمل منطقی بین متغیرهای A و B، C از OR به AND تبدیل شده است.
مرحله دوم: علامت نفی روی متغیرهای B، C را به متغیرهای B و C انتقال می دهیم و عمل منطقی AND را به OR تبدیل می نماییم.

$$F = \overline{A} \cdot \overline{BC} = \overline{A} \cdot (\overline{B} + \overline{C})$$

مرحله سوم: با استفاده از قانون توزیع \overline{A} را در متغیرهای \overline{B} و \overline{C} توزیع می کنیم.

$$F = \overline{A} \cdot (\overline{B} + \overline{C}) = \overline{A}\overline{B} + \overline{A}\overline{C}$$

$$Y = (\overline{A+B}) \cdot (\overline{CD})$$

مثال ۲۲: قانون دموگران را برای تابع Y به کار ببرید.

$$F = (\overline{A \cdot B}) \cdot (\overline{C + D}) = \overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}\overline{D}$$

پاسخ:

نکته: با استفاده از قانون دموگران می توانیم تابع $Y = \overline{ABC}$ را به صورت $Y = \overline{A} + \overline{B} + \overline{C}$ نیز بنویسیم.
بحث کنید: چگونگی حل مثال ۲۲ را مرحله به مرحله به بحث بگذارید تا قانون دموگران و قوانین جبر بول کاملاً ملکه ذهنانتان شود.

با توجه به طرف اول و دوم تابع $F = \overline{A+B} = \overline{A} \cdot \overline{B}$ جدول ۵-۵ را کامل کنید.

فعالیت



جدول ۵-۵

طرف اول			طرف دوم			
A	B	A+B	$\overline{A+B}$	\overline{A}	\overline{B}	$\overline{A \cdot B}$
۰	۰					
۰	۱					
۱	۰					
۱	۱					

اثبات کنید: نتایج حاصل شده در جدول ۵-۵ را به بحث بگذارید و اثبات کنید که در هر مرحله طرف اول و دوم با هم برابر است.

الگوی پرسش:

۱- تابع F را ساده کنید. مشابه مثال ۲۱، هریک از مراحل را به تفکیک بنویسید.

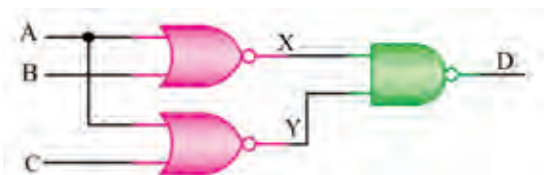
$$F = \overline{\overline{A+B}}$$

۲- ابتدا تابع منطقی خروجی های X و Y شکل ۵-۵ را برحسب متغیرهای ورودی A و B بنویسید، سپس تابع خروجی Y را با استفاده از قوانین دموگران و جبر بول ساده کنید.

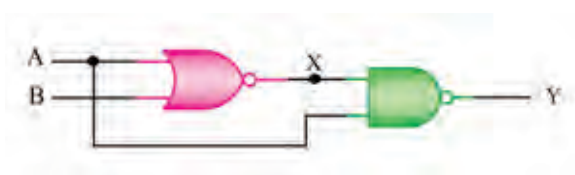
$$F = \overline{\overline{ABC + \overline{ABC}}}$$

۳- با استفاده از قوانین دموگران و جبر بول تابع Y را ساده کنید.

۴- در شکل ۵-۶ تابع منطقی خروجی هر گیت را برحسب متغیرهای ورودی A و B بنویسید سپس تابع خروجی D را با استفاده از قوانین جبر بول و دموگران ساده کنید.



شکل ۵-۶



شکل ۵-۵

۴-۵- مین ترم یک تابع (Minterm)

جدول ۵-۷

A	B	F
۰	۰	۱
۰	۱	۰
۱	۰	۱
۱	۱	۱

جدول ۵-۶

A	B	F
۰	۰	$\overline{A}\overline{B}$
۰	۱	$\overline{A}B$
۱	۰	$A\overline{B}$
۱	۱	AB

■ یک تابع با دو متغیر A و B را در نظر بگیرید. جدول درستی این تابع دارای $2^2=4$ حالت است. هریک از این حالت‌ها را یک مین ترم می‌نامیم. بنابراین تابع می‌تواند چهار حالت یا چهار مین ترم داشته باشد. جدول درستی تابع با دو متغیر و مین ترم‌های آن در هر ردیف، در جدول ۵-۶ نشان داده شده است. در جدول ۵-۷ تابع F را برای یک سامانه فرضی در نظر می‌گیریم و مقادیر معادل صفر و یک آن را طبق جدول ۵-۷ می‌نویسیم. همان‌طور که ملاحظه می‌شود در سه ردیف از ستون مربوط به تابع F، مقدار تابع یک و در یک ردیف مقدار تابع صفر است. بنابراین تابع F برای ردیف‌هایی که ۱ است خروجی دارد. در نهایت تابع به صورت $F = \overline{A}\overline{B} + \overline{A}B + AB$ درمی‌آید.

جدول ۵-۸

ورودی‌ها			خروجی
A	B	C	Y
۰	۰	۰	۰
۰	۰	۱	۱ $\Rightarrow \overline{A}\overline{B}C$
۰	۱	۰	۰
۰	۱	۱	۰
۱	۰	۰	۱ $\Rightarrow A\overline{B}\overline{C}$
۱	۰	۱	۱ $\Rightarrow A\overline{B}C$
۱	۱	۰	۰
۱	۱	۱	۱ $\Rightarrow ABC$

اصطلاحاً می‌گوییم این تابع به صورت مین ترم نوشته شده است، زیرا مین ترم مربوط به مقدار صفر آن را حذف کرده‌ایم. تابع مین ترم دارای ۲ مشخصه به شرح زیر است:

- در همه عبارت‌های تابع باید همه متغیرها یا نفی آنها حتماً وجود داشته باشد.
- تابع حاصل از این مین ترم به صورت مجموعی (OR) از عبارت‌هایی است که در هر عبارت متغیرها با هم AND شده‌اند.

اثبات کنید: تابع $F = \overline{A}\overline{B} + \overline{A}B + AB$ را به بحث بگذارید. آیا دو مشخصه ذکر شده برای این تابع صدق می‌کند؟ توضیح دهید چرا؟

مثال ۲۳: به جدول ۵-۸ توجه کنید. این جدول مربوط به خروجی یک سامانه فرضی است که تعداد سه متغیر و تعداد ۸ مین ترم دارد ($2^3=8$). همان طور که ملاحظه می شود، خروجی چهار مین ترم تابع برابر با یک و چهار مین ترم دیگر خروجی برابر با صفر است. با استفاده از خروجی های ۱، تابع F را در ردیف هایی که برابر ۱ است به صورت مجموع مین ترم ها می نویسیم.

$$F = \bar{A}\bar{B}C + A\bar{B}\bar{C} + A\bar{B}C + ABC$$

درباره رابطه $F = \sum_M(1, 4, 5, 7)$ که مربوط به مین ترم های تابع F مثال ۲۳ است، تحقیق کنید.

پژوهش



فعالیت



جدول ۵-۹

ورودی ها			خروجی
A	B	C	Y
۰	۰	۰	۰
۰	۰	۱	۱
۰	۱	۰	۰
۰	۱	۱	۱
۱	۰	۰	۱
۱	۰	۱	۰
۱	۱	۰	۱
۱	۱	۱	۱

تابع خروجی Y را در جدول ۵-۹ به صورت مجموع مین ترم ها بنویسید.

۵-۵- پیاده سازی توابع منطقی با استفاده از نقشه کارنو

■ در مبحث قبل ساده سازی توابع منطقی با استفاده از قوانین جبر بول، مانند قوانین توزیع (فاکتورگیری) و حذف متغیرها را آموختیم. مثلاً $Y = ABC + A\bar{B}C$ پس از ساده سازی به صورت $Y = AB$ در می آید. زیرا

$$Y = AB(C + \bar{C}) = AB \cdot 1 = AB$$

جدول ۵-۱۰- جدول درستی

ردیف	A	B	F
۰	۰	۰	$\bar{A}\bar{B}$
۱	۰	۱	$\bar{A}B$
۲	۱	۰	$A\bar{B}$
۳	۱	۱	AB

یکی دیگر از روش های ساده سازی توابع منطقی استفاده از جدول یا نقشه کارنو است. در نقشه کارنو نیز متغیرها بر اساس همین قوانین ولی با روش ساده تر حذف و توابع ساده می شوند. در واقع نقشه کارنو شکل تغییر یافته و ساده شده جدول درستی توابع منطقی است.

نقشه کارنو با دو متغیر: در جدول ۵-۱۰، جدول درستی و مین ترم های تابع F با دو متغیر A و B را مشاهده می کنید. نقشه کارنو نیز مشابه جدول درستی که دارای ۴ ردیف است، ۴ خانه دارد که هر یک از خانه ها به یک مین ترم اختصاص داده می شود. در شکل الف ۵-۷ نمونه نقشه کارنو ۴ خانه ای را ملاحظه می کنید. روی هر ضلع مربع که دو خانه دارد متغیرها را به صورت A و A یا B و B می نویسیم.

نکته

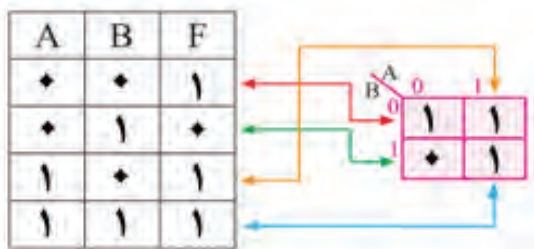


انتخاب محل قرار دادن متغیرها و اختصاص دادن خانه‌های مین ترم‌ها در جدول کارنو استاندارد تعریف شده‌ای ندارد ولی برای سادگی و جلوگیری از اشتباه معمولاً الگوی شکل الف - ۵-۷ را توصیه می‌کنند. در شکل ب - ۵-۷ خانه‌های اختصاص داده شده به مین ترم‌ها را در نقشه کارنو می‌بینید. شکل پ - ۵-۷ نقشه کارنو با اعداد باینری اختصاص داده شده به هر خانه نشان داده شده است.



الف) هر خانه معرف ردیف در جدول (ب) هر خانه معرف مین ترم در هر ردیف (پ) هر خانه معادل عدد باینری هر ردیف
شکل ۵-۷ - جدول کارنو

جدول ۵-۱۱



شکل ۵-۸ نمایش تابع F را در نقشه کارنو

■ نمایش یک تابع در نقشه کارنو: در نمایش یک تابع در نقشه کارنو، به جای مین ترم‌هایی که تابع آن برابر با یک است، در مربع مربوطه مقدار عدد یک و در مربع‌های مربوط به مین ترم‌هایی که تابع به ازای آن صفر است، صفر قرار می‌دهیم. به جای صفر می‌توانیم مربع را خالی بگذاریم.
مثال ۲۴: با استفاده از جدول ۵-۱۱ تابع F را در نقشه کارنو شکل ۵-۸ نمایش دهید.

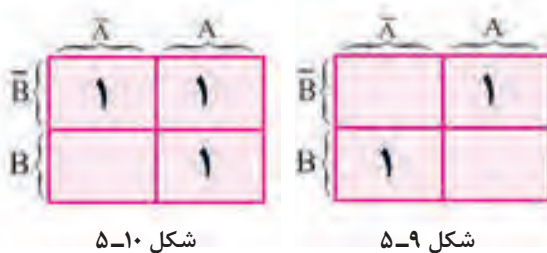
در شکل ب - ۵-۷ در خانه «صفر» معادل $\bar{A}\bar{B} = 0$ را قرار دهید. سپس جدول درستی مین ترم‌ها را در هر خانه مشخص کنید. آیا می‌توانیم به جای $\bar{A}\bar{B} = 0 = 0 = 0$ و برای سایر خانه‌ها معادل یک را درج کنیم؟ چرا؟

فعالیت



در شکل پ - ۵-۷ متغیر A و B را به جای اینکه تکرار کنیم، در بالا و سمت چپ روی خط مورب بالای جدول قرار داده‌ایم.

نکته



مثال ۲۵: تابع $F = \bar{A}\bar{B} + A\bar{B}$ در نقشه کارنو شکل ۵-۹ نشان داده شده است.
مثال ۲۶: جدول درستی تابع $F = A + \bar{B}$ را رسم کنید. تابع در نقشه کارنوی شکل ۵-۱۰ نشان داده شده است.

الگوی پرسش:

۱- با استفاده از جدول ۵-۱۲، نقشه کارنو را ترسیم کنید.

۲- نقشه کارنوی توابع زیر را ترسیم کنید، سپس ساده‌ترین شکل جدول درستی را از نقشه کارنو استخراج کنید.

$$F = \bar{A}B + AB \quad (\text{الف})$$

$$F = \bar{B} + \bar{A}B \quad (\text{ب})$$

$$F = \bar{A} + \bar{B} \quad (\text{پ})$$

جدول ۵-۱۲

A	B	F
۰	۰	۱
۰	۱	۱
۱	۰	۰
۱	۱	۱

۵-۶- استخراج ساده‌ترین شکل تابع منطقی از نقشه کارنو

■ پس از نمایش تابع در نقشه کارنو، می‌توان ساده‌ترین شکل تابع را از نقشه استخراج کرد. به مین ترم‌های موجود در نقشه کارنو شکل ۵-۱۱ که مربوط به دو متغیر است توجه کنید. مین ترم‌ها در مربع‌های کنار هم فقط در یک متغیر با هم اختلاف دارند. زیرا در یک مین ترم متغیر و در مین ترم کناری مکمل آن \bar{A} وجود دارد که با هم متفاوت است و متغیر \bar{B} در هر دو مشترک است این دو خانه را اصطلاحاً مجاور یا همسایه می‌گویند. با توجه به این اشتراک، به آسانی می‌توانیم مربع‌های مجاور (با یک اختلاف در متغیرها) را ساده کنیم.

$$\bar{A}\bar{B} + \bar{A}B = \bar{A}(\bar{B} + B) = \bar{A}$$

☑ اما مین ترم‌های موجود در مربع‌های واقع در قطرها مانند شکل ۵-۱۲، به دلیل داشتن دو اختلاف ساده‌پذیر نیستند. معمولاً این مین ترم‌ها هستند که تابع خروجی را تشکیل می‌دهند. حال با ذکر یک مثال می‌خواهیم ساده‌ترین شکل تابع را از جدول کارنو استخراج کنیم.

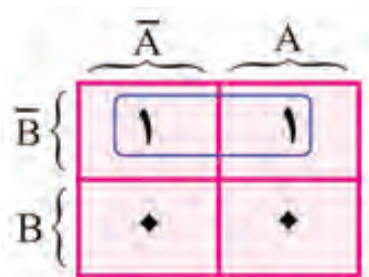
مثال ۲۷: ساده‌ترین عبارت منطقی ممکن را از نقشه کارنو شکل ۵-۱۳ استخراج کنید.

پاسخ: با توجه به اینکه دو خانه پایین صفر است، از آن صرف نظر می‌کنیم. در دو خانه بالا متغیر \bar{B} مشترک است. بنابراین \bar{B} پاسخ مسئله است. زیرا دو خانه مجاور را می‌توان با یک متغیر مشترک \bar{B} نوشت:

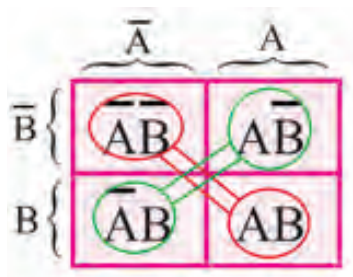
$$F = \bar{A}\bar{B} + B\bar{A}$$

$$F = \bar{B}(\bar{A} + A)$$

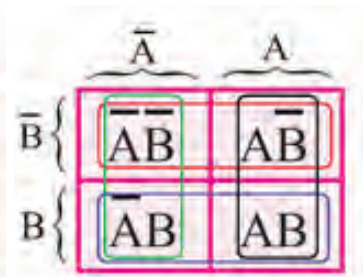
$$F = \bar{B}$$



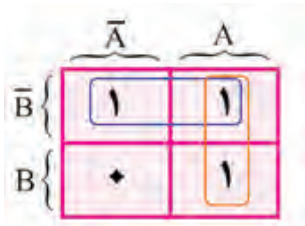
شکل ۵-۱۳



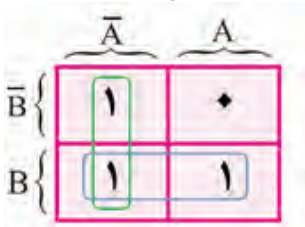
شکل ۵-۱۲



شکل ۵-۱۱



شکل ۵-۱۴



شکل ۵-۱۵

مثال ۲۸: ساده‌ترین عبارت منطقی ممکن را از نقشه کارنو شکل ۵-۱۴ استخراج کنید.

پاسخ: متغیرهای غیرمشترک را که پاسخ مسئله است پیدا می‌کنیم. $F = \bar{B} + A$

مثال ۲۹: تابع $F = \bar{A}B + AB + \bar{A}$ را در نقشه کارنو نشان دهید سپس ساده‌ترین شکل تابع را استخراج کنید.

پاسخ: الف) جدول کارنو را طبق شکل ۵-۱۵ رسم می‌کنیم.

ب) متغیرهای مشترک را از جدول پیدا می‌کنیم. مجموعه این متغیرها پاسخ مسئله است. $F = \bar{A} + B$

ورودی		خروجی
B	C	Y
۰	۰	۱
۰	۱	۱
۱	۰	۰
۱	۱	۱

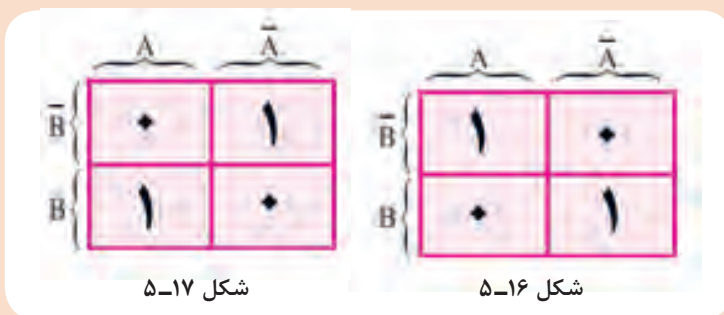
الف) تابع منطقی Y مربوط به جدول درستی ۵-۱۳ را بنویسید.

ب) تابع را در نقشه کارنو نمایش دهید. سپس ساده‌ترین شکل تابع Y را بنویسید.

فعالیت



فکر کنید



شکل ۵-۱۷

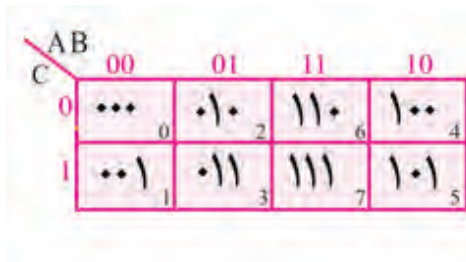
شکل ۵-۱۶

تابع منطقی نقشه کارنو شکل ۵-۱۶ و ۵-۱۷ را بنویسید. آیا مربع‌ها مجاور هستند (عضو مشترک دارند)؟ تابع هر نقشه کارنو معادل چه گیتی است؟

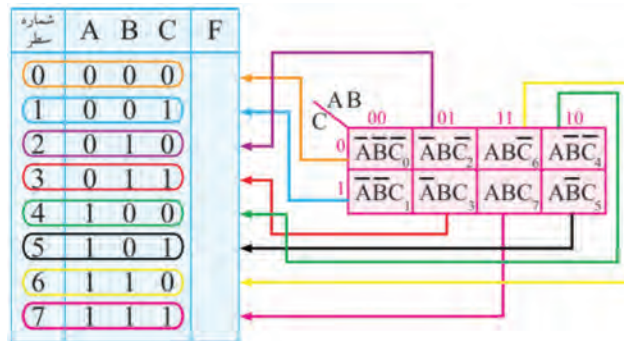
۷-۵ نقشه کارنو با سه متغیر

با توجه به وجود سه متغیر A، B و C، تعداد مین ترم‌ها طبق شکل ۵-۱۸ برابر $2^3 = 8$ است. لذا نقشه کارنو باید ۸ خانه داشته باشد. هرخانه معرف یک ردیف از جدول درستی است. در شکل ۵-۱۹ نقشه کارنو را برای سه متغیر نشان داده‌ایم.

مشاهده می‌شود که به هر متغیر یا نفی آن ۴ خانه تعلق می‌گیرد. اشتراک دو متغیر (مثلاً A, B ، A, C یا $\bar{B}C$) در دو خانه و اشتراک سه متغیر (مثلاً ABC) در یک خانه اتفاق می‌افتد. در شکل ۵-۱۸ جای مین ترم‌های هر ردیف جدول درستی را در نقشه کارنو مشاهده می‌کنید. هر مین ترم را می‌توانیم با عدد باینری معادل ردیف آن جایگزین کنیم. مثلاً $\bar{A}BC = 101$ یا $\bar{A}\bar{B}C = 000$ را در نقشه کارنو نشان می‌دهیم. در شکل ۵-۱۹ هر خانه نقشه کارنو با عدد باینری معادل نشان داده شده است. همان‌طور که ملاحظه می‌شود، در این جدول لازم است \bar{A} ، \bar{B} و \bar{C} ها را مشخص کنیم. ولی معمولاً برای جلوگیری از شلوغی نقشه، آن را روی نقشه کارنو نمی‌نویسند.



شکل ۵-۱۹



شکل ۵-۱۸

درباره چگونگی تشکیل نقشه کارنو با سه متغیر بحث کنید و فرایند اجرای آن را دقیقاً بیاموزید و به خاطر بسپارید.

بحث کنید



جدول ۵-۱۴

A	B	C	F
۰	۰	۰	۰
۰	۰	۱	۱
۰	۱	۰	۰
۰	۱	۱	۱
۱	۰	۰	۱
۱	۰	۱	۱
۱	۱	۰	۰
۱	۱	۱	۱

■ نمایش تابع در نقشه کارنو: اگر جدول درستی توابع با سه متغیر موجود باشد، در ردیفی که مین ترم تابع ۱ است، در خانه مربوطه ۱ منطقی را قرار می‌دهیم. مثال ۳۰: جدول درستی ۵-۱۴ را در نقشه کارنو نمایش دهید.

پاسخ: شکل ۵-۲۰

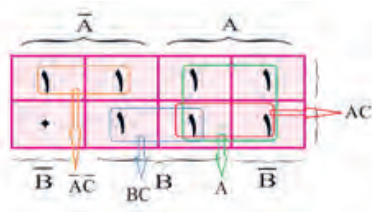
اگر تابع منطقی را بخواهیم در نقشه کارنو نمایش دهیم، جای هر عبارت تابع را در نقشه ۱ قرار می‌دهیم. باید توجه نمود برای اشتراک دو متغیر (مثلاً A, C) در دو خانه ۱ قرار داده می‌شود.

مثال ۳۱: تابع $F = \bar{A}BC + ABC + AC$ را در نقشه کارنو نمایش دهید.

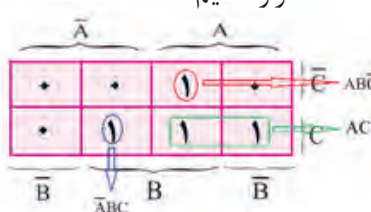
پاسخ: با استفاده از روش‌های ذکر شده جدول کارنو با ۸ خانه را تشکیل می‌دهیم، شکل ۵-۲۱.

مثال ۳۲: تابع $F = A + BC + \bar{A}\bar{C}$ را در نقشه کارنو نمایش دهید.

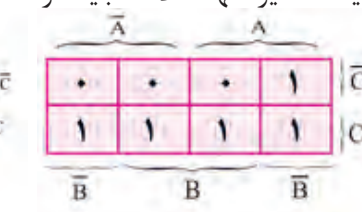
پاسخ: با استفاده از روش‌های ذکر شده نقشه کارنو را تشکیل می‌دهیم. شکل ۵-۲۲. باید توجه نمود که برای یک متغیر تنها مثلاً A ، باید در ۴ خانه ۱ قرار دهیم.



شکل ۵-۲۲



شکل ۵-۲۱



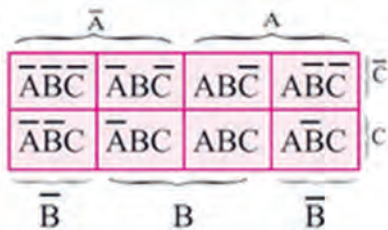
شکل ۵-۲۰ نقشه کارنو جدول ۵-۱۴

تابع $F = \bar{A}\bar{B}\bar{C} + \bar{A}B + \bar{B}C$ را در نقشه کارنو نمایش دهید.

فعالیت



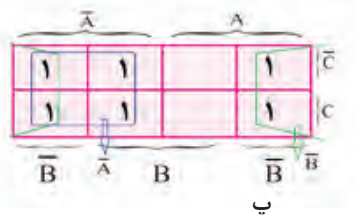
■ استخراج ساده‌ترین فرم تابع منطقی از نقشه کارنو با سه متغیر: اگر به مین ترم‌های موجود در نقشه کارنو شکل ۵-۲۳ توجه کنید، مین ترم‌های خانه‌های کنار هم و مین ترم‌های با دو خانه فاصله، فقط یک اختلاف با هم دارند و می‌توان به راحتی عمل ساده‌سازی را انجام داد. مین ترم‌هایی که یک خانه با هم فاصله دارند



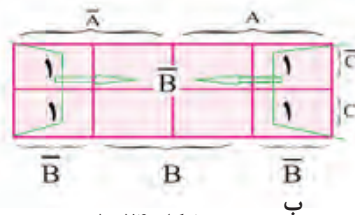
شکل ۵-۲۳

(اصطلاحاً خانه‌های یک در میان) و مین ترم‌های واقع در خانه‌های قطری، دارای دو اختلاف هستند و با هم نمی‌توان انتخاب و ساده نمود. در فرایند ساده‌سازی، پس از نمایش تابع منطقی در نقشه کارنو با توجه به نکات زیر می‌توان ساده‌ترین فرم منطقی تابع را نوشت.

چهارخانه مجاور: چهارخانه مجاور را می‌توان با یک متغیر نشان داد. نمونه‌هایی را در شکل ۵-۲۴ مشاهده می‌کنید.

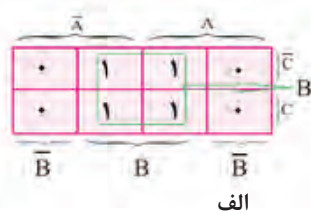


پ



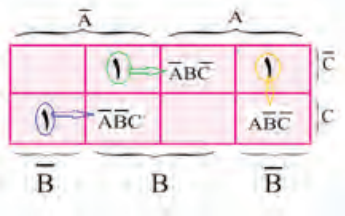
شکل ۵-۲۴

ب

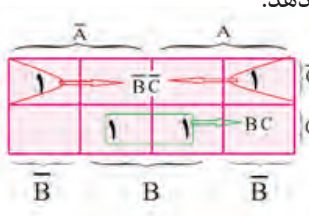


الف

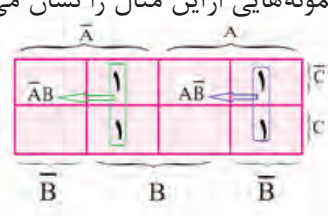
دو خانه مجاور: دو خانه مجاور را می‌توان با اشتراک (AND) بین دو متغیر نشان داد، شکل ۵-۲۵ الف، ب، نمونه‌هایی از این مثال را نشان می‌دهد.



شکل ۵-۲۶

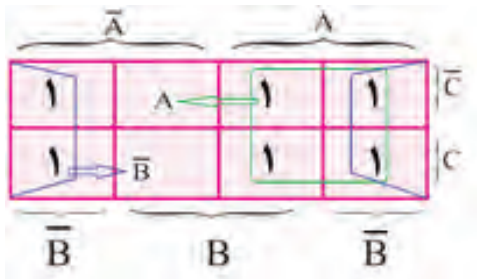


ب



شکل ۵-۲۵

الف



شکل ۵-۲۷

خانه‌هایی که دارای ۱ منطقی است و خانه همسایه ندارد، به صورت مین ترم با سه متغیر نوشته می‌شود و ساده‌پذیر نیست. شکل ۵-۲۶ نمونه‌ای از این نقشه کارنو را نشان می‌دهد.

مثال ۳۳: تابع $F = \overline{A}B\overline{C} + AB + \overline{B}C + A\overline{B}C$ را در نقشه کارنو نمایش دهید و ساده‌ترین فرم تابع را از آن استخراج کنید، شکل ۵-۲۷.

پاسخ: $F = A + \overline{B}$

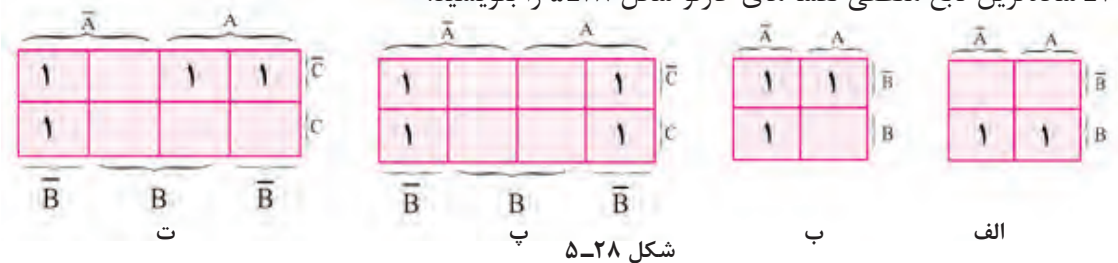
نکته



خانه‌های غیر مجاور را با مین ترم‌های سه متغیر می‌نویسند.

الگوی پرسش

۱- ساده‌ترین تابع منطقی نقشه‌های کارنو شکل ۵-۲۸ را بنویسید.



۲- توابع منطقی زیر را با استفاده از نقشه کارنو ساده کنید.

$$F_1 = \overline{A}\overline{B}\overline{C} + \overline{A}B\overline{C} + ABC + A\overline{B}C$$

$$F_2 = \overline{A}\overline{B} + A\overline{B} + \overline{A}BC + ABC + ABC$$

$$F_3 = \overline{A}\overline{B} + \overline{A}B + A\overline{B}$$

$$F_4 = \overline{A}B + AB + A\overline{B}$$

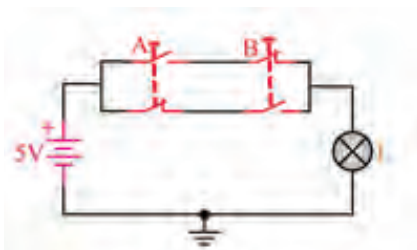
الگوی آزمون نظری پایان واحد یادگیری

۱- جدول درستی گیت NOR انحصاری را بنویسید.

۲- گیت OR انحصاری (XOR) دو ورودی و یک خروجی دارد و خروجی زمانی در تراز «۱» منطقی قرار می‌گیرد که ورودی‌های گیت با هم در یک تراز نباشند.

□ صحیح □ غلط

۳- مدار کلیدی شکل ۵-۲۹ مربوط به کدام گیت است؟



شکل ۵-۲۹

الف) NAND

ب) NOR

پ) XOR

ت) XNOR

جدول ۵-۱۵

A	B	C	F
۰	۰	۰	۰
۰	۰	۱	۱
۰	۱	۰	۰
۰	۱	۱	۱
۱	۰	۰	۱
۱	۰	۱	۱
۱	۱	۰	۰
۱	۱	۱	۱

۴- تابع منطقی $F_1 = \overline{A+B} + \overline{AB} + AC$ را توسط قوانین جبر بول ساده کنید.

۵- تابع منطقی $F_2 = \overline{A} \overline{B} \overline{C} + \overline{A} C + ABC + \overline{A} B$ را توسط قوانین جبر بول ساده کنید.

۶- تابع منطقی F مربوط به جدول درستی ۵-۱۵ را به صورت مجموع مین ترم‌ها بنویسید.

۷- تابع منطقی $F = \overline{A} \overline{B} + \overline{A} B + AB$ را در نقشه کارنو نمایش دهید. سپس ساده‌ترین تابع را از نقشه کارنو استخراج کنید.

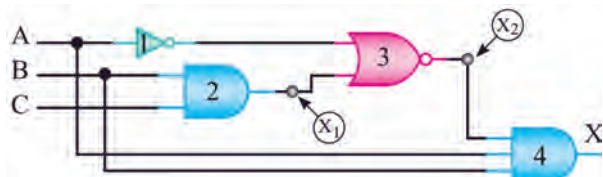
۸- تابع منطقی $F = \overline{A} \overline{B} + \overline{A} B \overline{C} + \overline{A} B C + A \overline{B} \overline{C} + A \overline{B} C$ را توسط نقشه کارنو ساده کنید. سپس از روی تابع ساده شده، مدار را با گیت‌های منطقی طرح کنید.

۹- در شکل ۵-۳۰ تراز منطقی خروجی X_1 ، X_2 و X را بنویسید. $A = 0$ ، $B = 0$ و $C = 1$ است.

۱۰- ساده‌ترین تابع منطقی نقشه کارنو شکل ۵-۳۱ را بنویسید.

AB \ C	00	01	11	10
0	1			1
1	1		1	1

شکل ۵-۳۱

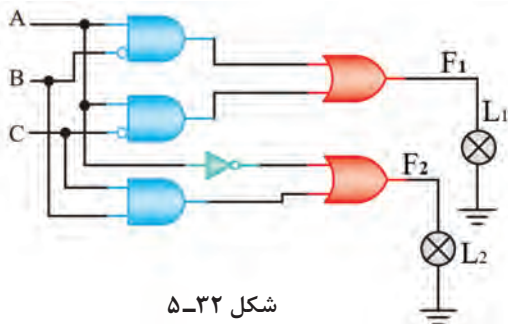


شکل ۵-۳۰

الگوی آزمون نرم‌افزاری پایان واحد یادگیری

۱- مدار شکل ۵-۳۲ را در نرم‌افزار مولتی سیم شبیه‌سازی کنید و با تغییر مقادیر A، B و C، تراز خروجی F_1 و F_2 را تعیین کنید. سپس جدول درستی مدار را رسم کنید.

۲- تابع منطقی $F = \overline{A} \overline{B} \overline{C} + \overline{A} B \overline{C} + \overline{A} B C + A \overline{B} \overline{C} + A \overline{B} C + A B \overline{C}$ را توسط Logic Converter ساده کنید و از روی تابع ساده شده مدار آن را ترسیم کنید.



شکل ۵-۳۲

توجه به روش و محتوای ارزشیابی: ارزشیابی شایستگی‌های مربوط به پودمان، واحد یادگیری و مراحل کار بر اساس محتوای ارائه شده در کتاب درسی و مشابه مثال‌ها و فعالیت‌های ارائه شده صورت می‌گیرد. ضرورت دارد ارزشیابی‌کنندگان به این امر توجه کرده و ارزشیابی را بر مبنای اهداف تعریف شده برای شایستگی‌ها اجرا نمایند و فراتر نروند.

ارزشیابی واحد یادگیری ۵: کسب شایستگی در به کارگیری قوانین جبر بول و نقشه کارنو

شرح کار:

۱- تشریح عملکرد گیت‌های منطقی پایه و ترسیم جدول درستی آنها ۲- تشریح قوانین جبر بول ۳- ساده‌سازی توابع منطقی با به کارگیری قوانین جبر بول ۴- ساده‌سازی توابع منطقی با به کارگیری نقشه کارنو ۵- ساده‌سازی توابع منطقی با استفاده از نرم‌افزار

استاندارد عملکرد: طراحی مدارهای ترکیبی و اجرای توابع و طراحی مدارهای ترتیبی با رعایت استانداردهای تعریف شده

شاخص‌ها:

۱- تشریح عملکرد گیت‌های منطقی پایه و ترسیم جدول درستی آنها (۱۰ دقیقه) ۲- تشریح قوانین جبر بول (۱۰ دقیقه) ۳- ساده‌سازی توابع منطقی با به کارگیری قوانین جبر بول (۱۵ دقیقه) ۴- ساده‌سازی توابع منطقی با به کارگیری نقشه کارنو (۱۵ دقیقه) ۵- ساده‌سازی توابع منطقی با استفاده از نرم‌افزار (۱۵ دقیقه)

شرایط انجام کار و ابزار و تجهیزات: مکان مناسب انجام کار- کلاس یا کارگاه، سایت مجهز به رایانه - با کف عایق یا آنتی‌استاتیک - نور مناسب برای کارهای ظریف - ابعاد حداقل ۶ مترمربع و دارای تهویه یا پنجره - دمای طبیعی (18°C - 27°C) - انجام کار در حال نشسته یا ایستاده - رایانه - لوازم التحریر

معیار شایستگی:

ردیف	مراحل کار	حداقل نمره قبولی از ۳	نمره هنرجو
۱	تشریح عملکرد گیت‌های منطقی پایه و ترسیم جدول درستی آنها	۱	
۲	تشریح قوانین جبر بول	۲	
۳	ساده‌سازی توابع منطقی با به کارگیری قوانین جبر بول	۲	
۴	ساده‌سازی توابع منطقی با به کارگیری نقشه کارنو	۲	
۵	ساده‌سازی توابع منطقی با استفاده از نرم‌افزار	۲	
	<p>شایستگی‌های غیرفنی، ایمنی، بهداشت، توجهات زیست‌محیطی و نگرش:</p> <p>۱- محافظت از تجهیزات و دستگاه‌ها ۲- دقت و مسئولیت‌پذیری ۳- شایستگی تفکر و یادگیری مادام‌العمر ۴- اخلاق حرفه‌ای ۵- رعایت نکات زیست‌محیطی ۶- به کارگیری فناوری نوین ۷- مستندسازی</p>		۲
	میانگین نمرات		*

* حداقل میانگین نمرات هنرجو برای قبولی و کسب شایستگی، ۲ می‌باشد.

واحد یادگیری ۶

کسب شایستگی در طراحی مدارهای دیجیتالی و اجرای توابع آن

آیا تا به حال فکر کرده‌اید:

- چه اصولی را برای طراحی مدارهای ترکیبی باید به کار ببریم؟
- چگونه با مدارهای رمزگشا توابع منطقی قابل اجرا می‌شود؟
- چگونه با مدارهای مالتی پلکسر می‌توانیم توابع منطقی را اجرا کنیم؟
- به کارگیری رمزگشا و مالتی پلکسر در اجرای توابع چه مزایایی دارد؟
- در ساختمان حافظه‌ها از چه مدارهای دیجیتالی استفاده می‌شود؟
- اطلاعات به چه روش‌هایی به حافظه‌ها انتقال می‌یابند؟
- در ساختمان شمارنده‌ها از چه مدارهای دیجیتالی استفاده شده است؟

در ساختار سامانه‌های دیجیتالی ممکن است از مدارهای ترکیبی که شامل متغیرهای ورودی، دروازه‌های منطقی و متغیرهای خروجی است، استفاده شود. طراحی مدارهای ترکیبی با تعریف یک مسئله شروع می‌شود و با دیاگرام منطقی مدار و مجموعه‌ای از توابع منطقی و روش‌های ساده‌سازی توابع پایان می‌یابد. روند طراحی مدارهای ترکیبی از اصول خاصی پیروی می‌کند، که در این واحد یادگیری به آموزش آن می‌پردازیم. سپس توسط دکدر و مالتی پلکسر، چگونگی اجرای توابع منطقی را شرح می‌دهیم. چون اغلب سامانه‌های دیجیتالی مانند ماشین‌های حسابگر، سیستم‌های حفاظتی و مخابراتی باید اطلاعات را در حافظه خود نگه دارند، لازم است ساختمان حافظه‌ها و انواع آنها به اختصار تشریح شود و مدارهای شمارنده نیز مورد بررسی قرار گیرد. برای کسب مهارت و عمق بخشیدن به آموزش، استفاده از نرم‌افزارهای مناسب و شبیه‌سازی مدارها با نرم‌افزار الزامی است و باید به آن توجه ویژه شود.

استاندارد عملکرد

طراحی مدارهای ترکیبی و ترتیبی دیجیتالی و اجرای توابع آن

۱-۶- طراحی مدارهای ترکیبی

در طراحی و ساخت مدارهای منطقی باید از مدار ساده شده با کمترین قطعات استفاده کنیم. در پایه دهم در درس مونتاژ و دمونتاژ SMD و مستندسازی، اصول طراحی مدارهای ترکیبی آموزش داده شده است. برای یادآوری به مثال زیر توجه کنید.

مثال ۱: در یک مدار ترکیبی با سه متغیر ورودی و یک خروجی مطابق بلوک شکل ۱-۶، زمانی خروجی مدار «۱» است که تعداد یک‌های موجود در متغیرهای ورودی در هر ردیف در مقایسه با صفر، در اکثریت باشد. مدار را طراحی کنید.

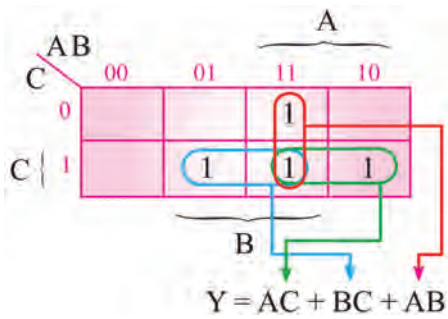
پاسخ

- جدول درستی مدار را طرح می‌کنیم، جدول ۱-۶.

- تابع منطقی خروجی را می‌نویسیم. $Z = \bar{A}BC + A\bar{B}C + ABC\bar{C} + ABC$
- تابع را به هر روش ممکن، مثلاً با استفاده از نقشه کارنو ساده می‌کنیم، شکل ۶-۲.
- ساده‌ترین رابطه منطقی را از جدول کارنو استخراج می‌کنیم.

جدول ۶-۱

A	B	C	Z
۰	۰	۰	۰
۰	۰	۱	۱
۰	۱	۰	۰
۰	۱	۱	۱
۱	۰	۰	۰
۱	۰	۱	۱
۱	۱	۰	۱
۱	۱	۱	۱



شکل ۶-۲



شکل ۶-۱- بلوک مدار

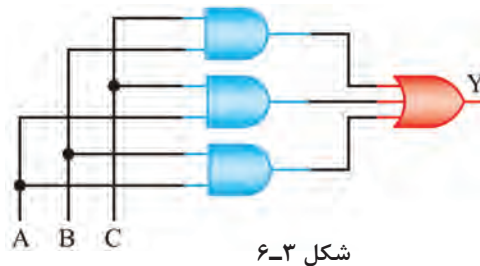
- مدار را طرح می‌کنیم. در شکل ۶-۳ مدار طراحی شده مربوط به مثال ۱ را نشان داده‌ایم.

برای یک سامانه سه فاز، مداری طراحی کنید که وقتی یک فاز یا دو فاز ورودی قطع می‌شود، خروجی مدار دیجیتال برابر با «۱» و لامپ سیگنال خطا روشن شود. در شکل ۶-۴ بلوک سامانه را نشان داده‌ایم.

فعالیت



شکل ۶-۴ بلوک سامانه سه فاز



شکل ۶-۳

۶-۲- طراحی مدار ترکیبی با دگدر (رمزگشا Decoder)

با مدار رمزگشا (Decoder) در پایه یازدهم آشنا شده‌اید. این مدار n خط در ورودی و 2^n خط در خروجی دارد و در هر لحظه تنها یکی از خروجی‌ها فعال است. در شکل ۶-۵ مدار رمزگشای ۴ → ۲ رسم شده است. در این مدار، تعداد ورودی‌ها برابر $n = 2$ و تعداد خروجی‌ها برابر $2^n = 4$ است.

در مورد عملکرد مدار رمزگشای ۴ → ۲ بحث کنید. سپس جدول درستی ۶-۲ را کامل کنید.

بحث گروهی



اگر در شکل ۶-۵ به جای گیت AND از گیت NAND استفاده شود، حالت فعال خروجی چه تغییری می‌کند؟ جدول درستی ۶-۳ را برای این حالت کامل کنید.

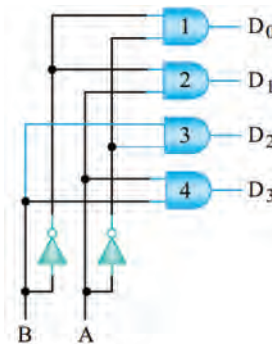


جدول ۶-۳

B	A	D _۰	D _۱	D _۲	D _۳
۰	۰				
۰	۱				
۱	۰				
۱	۱				

جدول ۶-۲

B	A	D _۰	D _۱	D _۲	D _۳
۰	۰				
۰	۱				
۱	۰				
۱	۱				



شکل ۶-۵- مدار رمزگشای ۴ → ۲

■ رمزگشای ۴ → ۲ با خط تواناساز یا فعال کننده (Enable): در شکل ۶-۶ مدار رمزگشای ۴ → ۲ با خط تواناساز (Enable) رسم شده است.

■ جدول ۶-۴ را با توجه به شکل ۶-۶ کامل کنید.
 ■ مدار رمزگشای ۸ → ۳ با خط تواناساز را با استفاده از گیت NAND طراحی کنید و جدول درستی آن را بنویسید.



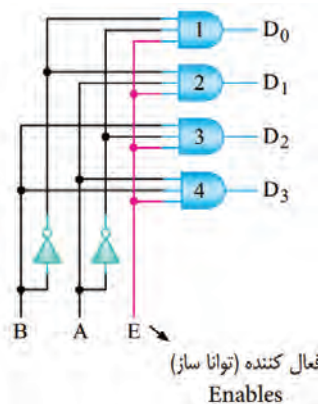
معرفی یک نمونه آی سی دگدر: آی سی ۷۴۱۳۸، دگدر ۸ → ۳ با دو خط تواناساز است. در شکل ۶-۷ پایه‌های این آی سی را مشاهده می‌کنید.

با مراجعه به منابع معتبر، در مورد تحلیل مدار داخلی آی سی ۷۴۱۳۸ و چگونگی تنظیم جدول درستی آن تحقیق کنید. نتیجه را در قالب یک گزارش ارائه دهید.

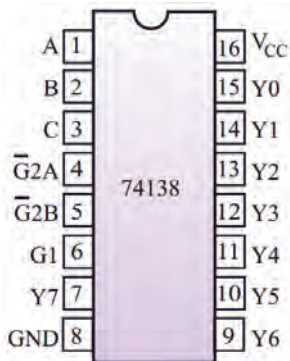


جدول ۶-۴- جدول صحت مدار رمزگشای ۴ → ۲ با خط تواناساز

E	B	A	D _۰	D _۱	D _۲	D _۳
۰	X	X				
۱	۰	۰				
۱	۰	۱				
۱	۱	۰				
۱	۱	۱				



شکل ۶-۶- مدار رمزگشای ۴ → ۲ با خط تواناساز (Enable)



شکل ۷-۶- مشخصات پایه‌های آی سی ۷۴۱۳۸

اجرای توابع با رمزگشا: برای اجرای توابع منطقی می‌توانیم از رمزگشا استفاده کنیم. برای این منظور ابتدا باید هر یک از متغیرها را به ورودی آدرس تعریف شده و هم ارز با آن (متناظر) وصل کنیم. سپس همه خروجی‌های رمزگشا که تعریف شده و هم ارزش با حالت‌های «۱» تابع است را به ورودی یک دروازه OR اتصال دهیم.

مثال ۲: با توجه به جدول ۵-۶، توابع منطقی F_1 و F_2 را به کمک یک رمزگشای ۸ → ۳ اجرا کنید.

پاسخ:

F_1 مجموع مین ترم‌های ردیف‌های (۱, ۲, ۴, ۷) است ($F_1 = \sum m(1, 2, 4, 7)$)

F_2 مجموع مین ترم‌های ردیف‌های (۳, ۵, ۶, ۷) است ($F_2 = \sum m(3, 5, 6, 7)$)

برای اجرای هر یک از توابع، مطابق شکل ۸-۶، از دروازه منطقی OR با چهار ورودی استفاده می‌کنیم.

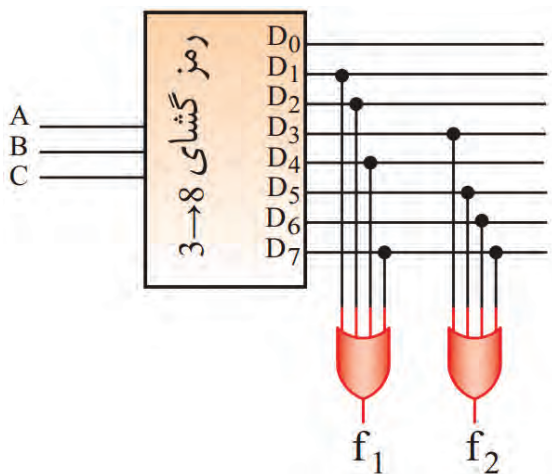
اگر رمزگشا با دروازه منطقی NAND ساخته شده باشد، در مدار شکل ۸-۶ چه تغییری باید بدهیم؟ پس از گفت‌وگو، نتایج را در قالب گزارش کوتاه یادداشت کنید.

گفت و گو کنید



جدول ۵-۶

معادل دسی‌مال	C	B	A	f_1	f_2
۰	۰	۰	۰	۰	۰
۱	۰	۰	۱	۱	۰
۲	۰	۱	۰	۱	۰
۳	۰	۱	۱	۰	۱
۴	۱	۰	۰	۱	۰
۵	۱	۰	۱	۰	۱
۶	۱	۱	۰	۰	۱
۷	۱	۱	۱	۱	۱



شکل ۸-۶

جدول ۶-۶ جدول صحت جمع کننده

معادل دسی مال	A	B	C _{in}	C _{OUT}	S
۰	۰	۰	۰	۰	۰
۱	۰	۰	۱	۰	۱
۲	۰	۱	۰	۰	۱
۳	۰	۱	۱	۱	۰
۴	۱	۰	۰	۰	۱
۵	۱	۰	۱	۱	۰
۶	۱	۱	۰	۱	۰
۷	۱	۱	۱	۱	۱

طراحی تمام جمع گر (Full Adder) با رمزگشا

□ با مدار نیم جمع گر (Half Adder) در پایه یازدهم آشنا شده‌اید. در شکل ۹-۶، نقشه بلوکی تمام جمع گر نشان داده شده است.
 □ این مدار سه بیت باینری ورودی A، B و C_{in} را با هم جمع می‌کند و در خروجی، حاصل جمع (S) و دو بر یک حاصل از جمع "۱" و "۱" (C_{out}) را ظاهر می‌کند. در جدول ۶-۶، جدول درستی مدار تمام جمع گر را مشاهده می‌کنید.



شکل ۹-۶ مدار بلوکی تمام جمع گر

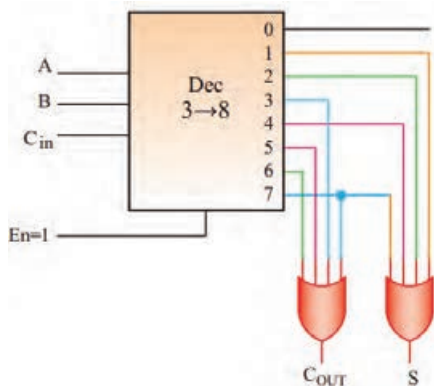
جدول ۶-۶ را در کلاس به بحث بگذارید و علت ایجاد شدن دو بر یک (C_{out}) را بیابید. نتیجه را در قالب یک گزارش کوتاه ارائه دهید.

بارش فکری



□ همان طور که در جدول ۶-۶ مشاهده می‌شود، خروجی S در سطرهای ۱، ۲، ۴ و ۷ و خروجی C_{out} در سطرهای ۳، ۵، ۶ و ۷ برابر با یک شده است. تابع خروجی S و C_{out} را می‌توانیم به صورت زیر تعریف کنیم.

$$C_{out} = \sum_m (3, 5, 6, 7) \quad S = \sum_m (1, 2, 4, 7)$$



شکل ۱۰-۶ مدار تمام جمع گر با رمزگشا

□ در تمام جمع گرها، تعداد ۳ ورودی و ۲ خروجی وجود دارد. به همین خاطر، رمزگشایی را انتخاب می‌کنیم که تعداد ۳ ورودی داشته باشد. لذا این رمزگشا ۸ خروجی دارد (۲^۳ = ۸).

□ طبق شکل ۱۰-۶ خروجی را بر اساس مین ترمها با هم OR می‌کنیم تا مدار جمع کننده با استفاده از رمزگشا شکل بگیرد.

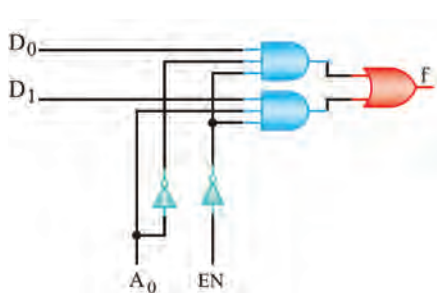
اجرای نرم‌افزاری: در ساعات غیر درسی مدار تمام جمع گر را با نرم‌افزار مولتی‌سیم طراحی کنید و جدول درستی آن را با جدول ۶-۶ مقایسه کنید.

فعالیت



مثال ۱ و تمرین مربوط به سامانه سه فاز را با مدار رمزگشا طراحی کنید.

۳-۶- طراحی مدار ترکیبی با مالتی پلکسر (Multiplexer)



شکل ۱۱-۶- مدار مالتی پلکسر دو به یک

جدول ۷-۶

A	EN	f
X	۱	۰
۰	۰	D _۰
۱	۰	D _۱

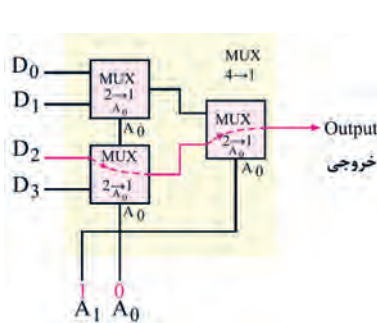
■ با مدار مالتی پلکسر در پایه یازدهم آشنا شده‌اید. در شکل ۱۱-۶ مدار مالتی پلکسر ۲→۱ (دو به یک) و جدول درستی آن را مشاهده می‌کنید. این مالتی پلکسر دارای خط توانا ساز (Enable) است.

جدول درستی مالتی پلکسر ۱→۴ را شکل ۱۲-۶ را تنظیم کنید.

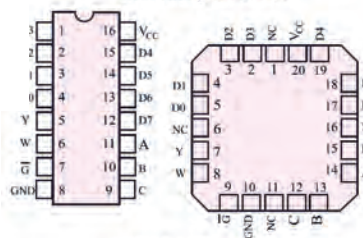
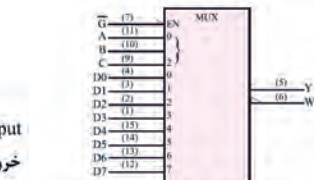
برای آنکه اطلاعات D_۲ به خروجی انتقال یابد، آدرس A_۱A_۰ را بنویسید. معرفی آی سی مالتی پلکسر ۱→۸: آی سی با شماره فنی ۷۴۱۵۱ یک مالتی پلکسر ۱→۸ است. در شکل ۱۳-۶ نماد این آی سی و شماره پایه‌های آن را مشاهده می‌کنید.

با مراجعه به منابع معتبر، در مورد مدار داخلی آی سی ۷۴۱۵۱ و جدول درستی آن تحقیق کنید. نتیجه را در قالب یک گزارش ارائه دهید.

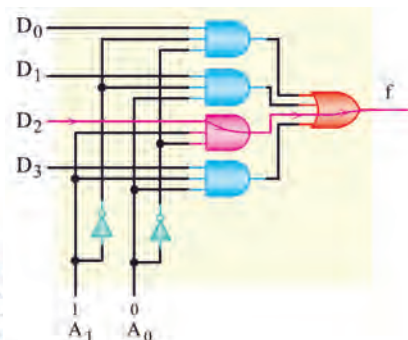
در بلوک دیاگرام شکل ۱۴-۶ مالتی پلکسر ۱→۴ با استفاده از دو مالتی پلکسر ۱→۲ نشان داده شده است. جدول درستی بلوک دیاگرام را بنویسید و عملکرد آن را مورد بررسی قرار دهید. با توجه به توسعه ورودی‌های مالتی پلکسر در شکل ۱۴-۶، با استفاده از دو مالتی پلکسر ۱→۴ و یک مالتی پلکسر ۱→۲، یک مالتی پلکسر ۱→۸ طراحی کنید و طرز کار مدار را مورد بررسی قرار دهید.



شکل ۱۴-۶- مالتی پلکسر چهار به یک



(ب) نمای بالا و شماره پایه
شکل ۱۳-۶- نماد آی سی و شماره پایه‌های آن



شکل ۱۲-۶- مدار مالتی پلکسر چهار به یک

فعالیت



پژوهش



فعالیت



■ اجرای توابع مالتی پلکسر

یکی از کاربردهای مالتی پلکسر، اجرای توابع منطقی است. برای اجرای یک تابع منطقی با n متغیر، می توان از یک مالتی پلکسر با n خط آدرس استفاده کرد. معمولاً متغیرها را به پایه های آدرس تعریف شده و هم ارزش با آن وصل می کنند.

مثال ۳: تابع $F_1 = \overline{A}B + BC + A\overline{C}$ را با یک مالتی پلکسر ۱ → ۸ اجرا کنید.

پاسخ:

- تابع را به صورت استاندارد مین ترم می نویسیم. برای این منظور، می توانیم طبق جدول ۶-۸ جدول درستی تابع را تشکیل دهیم و مجموع مین ترم های تابع را به دست آوریم.
- با توجه به خروجی های تابع، مجموع مین ترم ها از رابطه زیر به دست می آید.

$$F_1 = \sum_m (3, 4, 5, 6, 7)$$

- طبق شکل ۶-۱۵، ورودی های D_3 تا D_7 را به ۵ ولت وصل می کنیم.

ابتدا مدار مثال ۳ را با نرم افزار مولتی سیم شبیه سازی کنید. سپس جدول درستی آن را با جدول ۶-۸ مقایسه کرده و صحت عملکرد مدار را تأیید نمایید.

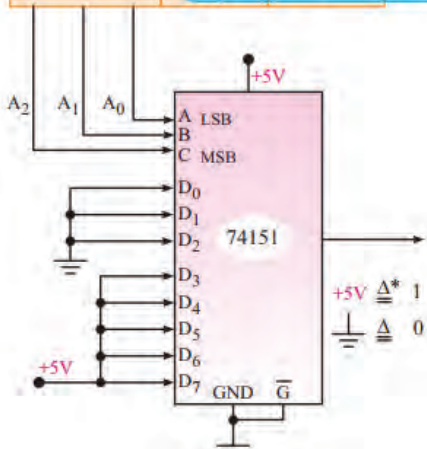
فعالیت در ساعات غیر درسی



جدول ۶-۸

A	B	C	$\overline{A}B$	BC	$A\overline{C}$	F
0	0	0	0	0	0	0
0	0	1	0	0	0	0
0	1	0	0	0	0	0
0	1	1	1	1	0	1
1	0	0	1	0	0	1
1	0	1	1	0	0	1
1	1	0	1	1	0	1
1	1	1	1	1	0	1

A	B	C	آدرس انتخاب شده	خروجی مورد نیاز
0	0	0	D ₀	0
0	0	1	D ₁	0
0	1	0	D ₂	0
0	1	1	D ₃	1 → $\overline{A}BC$
1	0	0	D ₄	1 → $A\overline{B}\overline{C}$
1	0	1	D ₅	1 → $A\overline{B}C$
1	1	0	D ₆	1 → $AB\overline{C}$
1	1	1	D ₇	1 → ABC



شکل ۶-۱۵

الگوی پرسش

۱- در مدار شکل ۶-۱۶:

الف) خروجی Z_1 زمانی «۱» است که $C = 0$ ، $A = B = 1$ یا $B = 0$ ، $A = C = 1$ باشد.

ب) خروجی Z_2 زمانی «۱» است که $C = 0$ ، $B = 1$ و $A = 0$ یا $C = 1$ ، $A = 1$ و $B = 0$ باشد.

پ) در بقیه حالت‌ها Z_1 و Z_2 صفر هستند.

جدول ۶-۹

A	B	C	F
۰	۰	۰	۰
۰	۰	۱	۱
۰	۱	۰	۰
۰	۱	۱	۰
۱	۰	۰	۱
۱	۰	۱	۰
۱	۱	۰	۱
۱	۱	۱	۰



شکل ۶-۱۶

با توجه به بندهای الف، ب و پ جدول درستی مدار را رسم کنید. تابع منطقی Z_1 و Z_2 را بنویسید و مدار را طراحی کنید.

۲- تابع F مربوط به جدول درستی ۶-۹ را به کمک نرم‌افزار، به وسیله دکدر و مالتی‌پلکسر اجرا کنید.

۳- با استفاده از ۹ مالتی‌پلکسر $1 \rightarrow 8$ می‌توان یک مالتی‌پلکسر $1 \rightarrow 64$ طراحی کرد. صحیح □ غلط □

۴- تابع $F(A, B, C) = \sum_m(0, 1, 4, 6)$ را در فضای نرم‌افزاری با یک مالتی‌پلکسر $1 \rightarrow 8$ اجرا کنید.

۶-۴ شرح عملکرد انواع حافظه

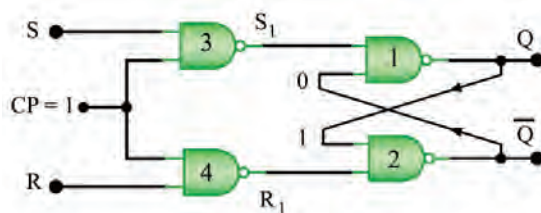
در مدارهای ترکیبی که تاکنون بحث شده است، خروجی مدار در هر لحظه تابع متغیرهای ورودی در زمان حاضر است. برخی سیستم‌های دیجیتالی از تعدادی مدار ترکیبی تشکیل می‌شوند. ولی بسیاری از سیستم‌های دیجیتالی، علاوه بر مدار ترکیبی، نیاز به مداری برای ذخیره اطلاعات به صورت بیت باینری (صفر و یک) دارند. ذخیره اطلاعات در فلیپ فلاپ‌ها صورت می‌گیرد. با فلیپ فلاپ‌ها در پایه یازدهم آشنا شده‌اید.

■ فلیپ فلاپ S-R

در شکل ۶-۱۷ مدار فلیپ فلاپ S-R ساعتی با گیت NAND را مشاهده می‌کنید.

جدول ۶-۱۰

Clock	S	R	Q
۰	۰	۰	
۰	۰	۱	
۰	۱	۰	
۰	۱	۱	
۱	۰	۰	
۱	۰	۱	
۱	۱	۰	
۱	۱	۱	



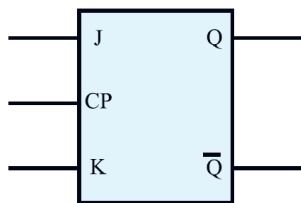
شکل ۶-۱۷ مدار فلیپ فلاپ SR با گیت NAND

عملکرد مدار شکل ۶-۱۷ را مورد بررسی قرار دهید. سپس جدول درستی ۶-۱۰ را که مربوط به این مدار است، کامل کنید.

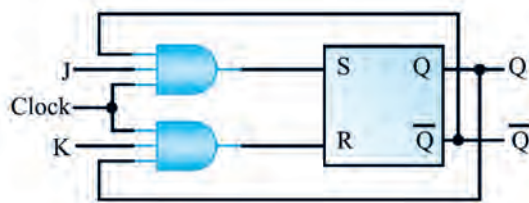
در مورد عیب فلیپ فلاپ‌های S-R ساعتی تحقیق کنید و نتیجه را به صورت یک گزارش ارائه دهید.

■ **فلیپ فلاپ J-K:** همان طور که قبلاً گفته شد، یکی از اجزای حافظه، فلیپ فلاپ‌ها هستند. در شکل ۶-۱۸ مدار بلوکی فلیپ فلاپ J-K رسم شده است. نماد فلیپ فلاپ J-K را در شکل ۶-۱۹ ملاحظه می‌کنید. جدول ۶-۱۱، جدول درستی فلیپ فلاپ J-K را نشان می‌دهد.

در مورد عیب فلیپ فلاپ J-K تحقیق کنید و نتیجه را در قالب یک گزارش ارائه دهید.



شکل ۶-۱۹- نماد فلیپ فلاپ J-K



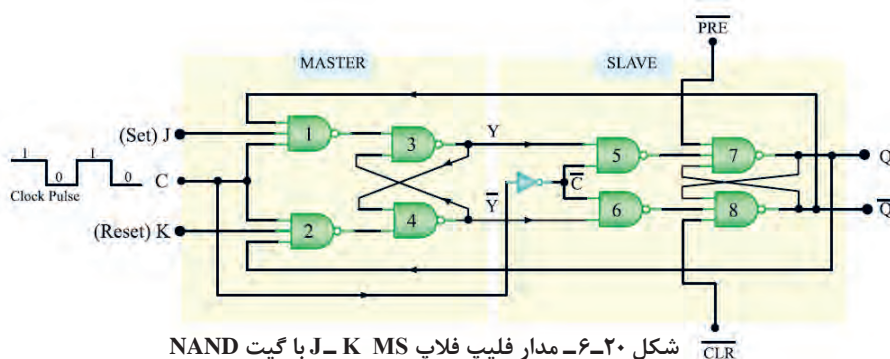
شکل ۶-۱۸- مدار فلیپ فلاپ J-K

جدول ۶-۱۱

J	K	CP	Q_t
0	0		$Q_{(t-1)}$ حالت قبلی را حفظ می‌کند
0	1		0 RESET
1	0		1 SET
1	1		$\bar{Q}_{(t-1)}$ حالت قبلی عکس می‌شود

■ **فلیپ فلاپ J-K-MS (J-K Master Slave):**

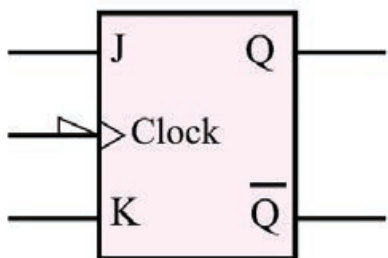
در شکل ۶-۲۰ مدار فلیپ فلاپ J-K-MS با گیت NAND رسم شده است. این فلیپ فلاپ، از دو فلیپ فلاپ S-R مجزا و مشابه هم درست شده است که یکی مستر (اصلی - Master) و دیگری اسلیو (فرعی - Slave) نام دارد. جدول ۶-۱۲، جدول درستی این فلیپ فلاپ را نشان می‌دهد. نماد مداری فلیپ فلاپ را در شکل ۶-۲۱ ملاحظه می‌کنید.



شکل ۶-۲۰- مدار فلیپ فلاپ J-K MS با گیت NAND

جدول ۶-۱۲

J	K	$Q_{(t)}$
۰	۰	$Q_{(t-1)}$
۰	۱	۰
۱	۰	۱
۱	۱	$\bar{Q}_{(t-1)}$

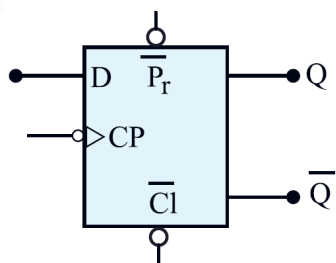


شکل ۶-۲۱- نماد MS J-K

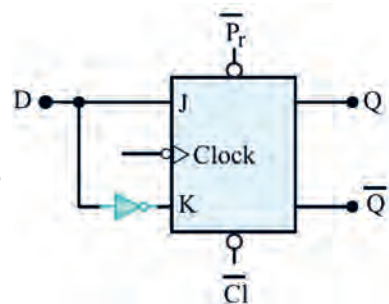
■ **فلیپ فلاپ نوع D (تأخیری Delay):** این فلیپ فلاپ یک ورودی دارد و به عنوان یک سلول ثابت (ثبت کننده) یک بیتی استفاده می شود. زیرا اطلاعات ورودی آن پس از هر پالس ساعت وارد حافظه فلیپ فلاپ می شود و تا پالس ساعت بعدی آن را حفظ می کند. فلیپ فلاپ نوع D را می توان به کمک هر یک از انواع فلیپ فلاپ های S-R، J-K یا J-K-MS طراحی کرد. برای این منظور باید یک ورودی را نفی (NOT) کنیم و سپس آن را به ورودی دیگر اتصال دهیم. در شکل ۶-۲۲ فلیپ فلاپ D با استفاده از فلیپ فلاپ J-K را مشاهده می کنید. جدول درستی فلیپ فلاپ D مطابق جدول ۶-۱۳ است. در شکل ۶-۲۳ نماد فلیپ فلاپ D را ملاحظه می کنید.

جدول ۶-۱۳

CP	D	Q
	۰	۰
	۱	۱



شکل ۶-۲۳- نماد فلیپ فلاپ D

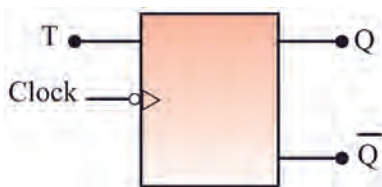


شکل ۶-۲۲- مدار فلیپ فلاپ D

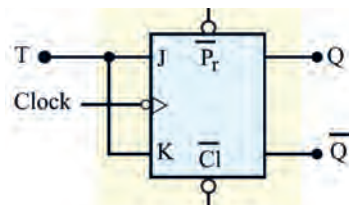
■ **فلیپ فلاپ نوع T (کلیدی یا Toggle):** اگر دو ورودی فلیپ فلاپ J-K را به هم وصل کنیم و اتصال مشترک را T بنامیم، فلیپ فلاپ جدیدی ساخته می شود که به آن فلیپ فلاپ نوع T یا کلیدی می گویند. در شکل ۶-۲۴ چگونگی تبدیل فلیپ فلاپ J-K به T را مشاهده می کنید. نماد فلیپ فلاپ T به صورت شکل ۶-۲۵ است. جدول درستی فلیپ فلاپ T را در جدول ۶-۱۴ مشاهده می کنید.

جدول ۶-۱۴

T	CP	Q_t
۰		$Q_{(t-1)}$
۱		$\bar{Q}_{(t-1)}$



شکل ۶-۲۵- نماد فلیپ فلاپ T



شکل ۶-۲۴- مدار فلیپ فلاپ T



در مورد عملکرد ورودی‌های پیش تنظیم (pre=preset) و پاک کردن (clr=clear) در فلیپ فلاپ‌ها تحقیق کنید و نتیجه را در قالب گزارش ارائه دهید.

■ **انواع حافظه و عملکرد آنها:** همان‌طور که قبلاً اشاره کردیم، از فلیپ فلاپ‌ها به عنوان ذخیره‌کننده یک بیت اطلاعات استفاده می‌شود. در یک سامانه ترکیبی مانند رایانه، حافظه‌های مختلف با عملکردهای گوناگون مورد نیاز است.

در ادامه به شرح مختصری از انواع حافظه‌ها با توجه به نوع کاربرد آنها می‌پردازیم.

حافظه‌های قابل خواندن و نوشتن یا RWM (Read Write Memory)

نوعی حافظه رایانه که قابل خواندن و نوشتن است.

حافظه با دسترسی تصادفی یا RAM (Random Access Memory)

این حافظه با دسترسی تصادفی است. حافظه‌های RAM خود به دو دسته SRAM (رم استاتیک - Static RAM) و DRAM (رم دینامیک - Dynamic RAM) تقسیم‌بندی می‌شوند. SRAM قادر است چند کیلوبایت اطلاعات را در خود ذخیره کند. دسترسی به اطلاعات در این نوع حافظه‌ها حدود ۱۰ نانوثانیه است. DRAM قادر است چند مگابایت اطلاعات را در خود ذخیره کند. زمان دسترسی به اطلاعات در این نوع حافظه حدود ۱۰۰ نانوثانیه است. در رایانه‌هایی که به ظرفیت زیاد حافظه نیاز داریم، از این نوع حافظه استفاده می‌کنیم.

حافظه فقط خواندنی یا ROM (Read Only Memory)

محتوای این نوع حافظه فقط قابل خواندن است و اطلاعات در کارخانه سازنده در حافظه برنامه‌ریزی می‌شود و با قطع برق (تغذیه) اطلاعات آن پاک نمی‌شود. اطلاعات مربوط به بازی‌های کامپیوتری، راه‌اندازی کامپیوتر (Bootstart program) و قسمتی از اطلاعات سیستم عامل در آن ذخیره می‌شود.

اطلاعات ROM وارد حافظه اصلی رایانه (Main Memory) می‌شود.

نکته: اگر پس از قطع برق محتوای حافظه از بین برود، حافظه را متکی به ولتاژ (volatile) و اگر محتوا به‌طور دائم بماند، حافظه را مستقل از ولتاژ (Nonvolatile) گویند.

□ **انواع دیگر حافظه‌های ROM**

حافظه‌های نوع ROM در سه دسته EPROM، PROM و EEPROM توسعه یافته‌اند.

✓ **PROM (Programmable ROM)**

این حافظه به وسیله دستگاه مخصوص حافظه‌نویس (ROM Writer) فقط یک بار برنامه‌ریزی می‌شود.

✓ **EPROM (Erasable PROM)**

محتوای این حافظه را می‌توان به وسیله اشعه ماوراء بنفش پاک کرد و اطلاعات جدید در آن برنامه‌ریزی کرد.

✓ **EEPROM (Electrical EPROM)**

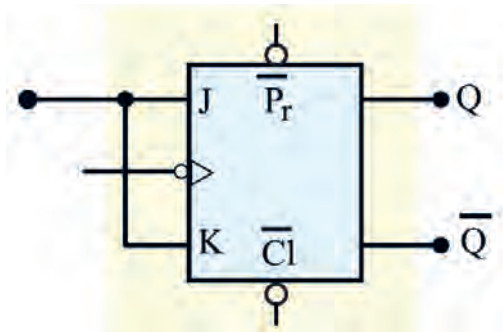
اطلاعات این نوع حافظه توسط سیگنال الکتریکی قابل پاک شدن است. بعد از پاک شدن حافظه می‌توان آن را دوباره برنامه‌ریزی کرد.



درباره ساختار و عملکرد انواع حافظه‌های زیر و موارد کاربرد آنها تحقیق کنید و نتیجه را در قالب یک گزارش ارائه دهید.

- الف) حافظه‌های کمکی (Auxiliary Memory) مانند هارد دیسک و سایر موارد
 ب) حافظه‌های نهان (Cash Memory)
 پ) حافظه لوح فشرده (CDROM)
 ت) نوار مغناطیسی (Magnetic Tapes)
 ث) دیسک نوری (Optical Disk)
 ج) دیسک مغناطیسی (Magnetic Disk)
 چ) دیسک الکترونیکی یا حافظه فلش (Flash Memory)

الگوی پرسش



شکل ۶-۲۶

- جدول درستی فلیپ فلاپ J-K را رسم کنید. در چه حالتی از ورودی، وضعیت حافظه تغییر می‌کند و برعکس حالت قبلی خود می‌شود؟
- برای ثبت n بیت اطلاعات به n واحد حافظه نیاز داریم. صحیح غلط
- فلیپ فلاپ شکل ۶-۲۶ از کدام نوع است.
 T D
- در فلیپ فلاپ نوع T، در حالت $T=1$ با هر پالس ساعت، وضعیت حافظه بر عکس حالت قبل می‌شود.
 نادرست درست

۵-۶- شیف رجیسترها (Shift Registers)

یک ثبات یا رجیستر مجموعه‌ای از فلیپ فلاپ‌ها یا سلول‌های حافظه است که می‌تواند اطلاعات را به صورت بیت باینری در خود نگه دارد. با انواع شیف رجیستر تا حدودی در پایه یازدهم آشنا شده‌اید. در شکل ۶-۲۷ یک شیف رجیستر ۸ بیتی را به صورت بلوکی مشاهده می‌کنید که در آن اطلاعات ۱۰۰۱۰۱۱۰ ذخیره شده است.

در شکل ۶-۲۸ شیف رجیستر (ورودی سری - خروجی سری) نشان داده شده است. بیت‌های ورودی یکی پس از دیگری و به صورت سریال وارد اولین بیت فلیپ فلاپ می‌شوند و سپس از فلیپ فلاپ‌های بعدی عبور می‌کنند. در شکل ۶-۲۹ اطلاعات به صورت سریال وارد شده و خروجی‌ها به صورت موازی (هم‌زمان) دریافت می‌شوند. به عبارت دیگر، اطلاعات ورودی به صورت سریال وارد مدار شده و خروجی‌ها به طور هم‌زمان و موازی دریافت می‌شود. در شکل ۶-۳۰ اطلاعات به صورت موازی وارد شیف رجیستر شده و به صورت سری در خروجی دریافت می‌شود. اگر بخواهیم در یک شیف رجیستر اطلاعات را به صورت موازی وارد کنیم و به صورت موازی نیز از آن

دریافت کنیم، باید از شیفت رجیستر شکل ۶-۳۱ استفاده کنیم. در شکل های ۶-۳۲ و ۶-۳۳ ساختمان شیفت رجیسترهای (سری - سری) و (موازی - موازی) را که در آن از فلیپ فلاپ های نوع D استفاده شده است، ملاحظه می کنید.

فعالیت گروهی



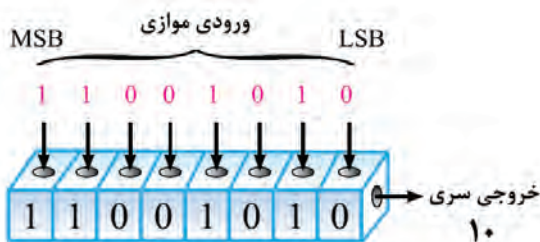
در مورد انواع عملکرد مدارهای شیفت رجیستر SISO (شکل ۶-۳۲) و PIPO (شکل ۶-۳۳) بحث و گفت و گو کنید و نتایج را در قالب یک گزارش ارائه دهید.



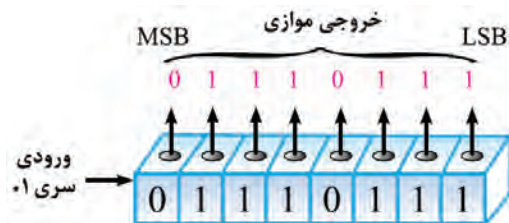
شکل ۶-۲۸ - شیفت رجیستر SISO



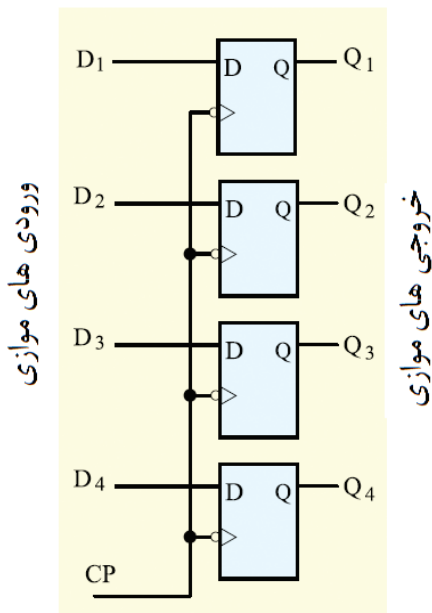
شکل ۶-۲۷ - شیفت رجیستر ۸ بیتی



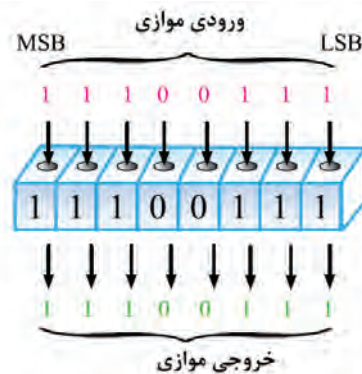
شکل ۶-۳۰ - شیفت رجیستر PISO



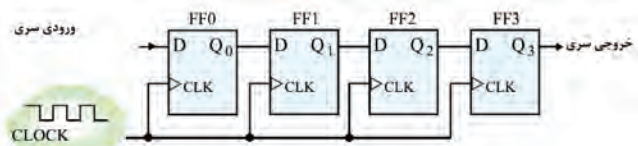
شکل ۶-۲۹ - شیفت رجیستر SIPO



شکل ۶-۳۳ - مدار شیفت رجیستر PIPO

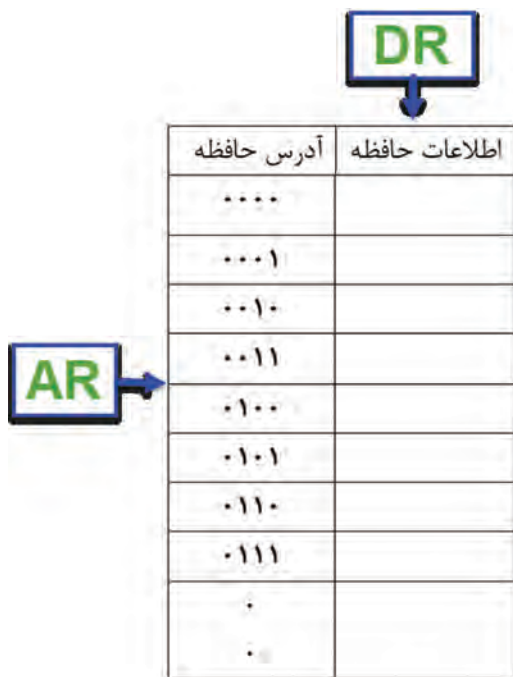


شکل ۶-۳۱ - شیفت رجیستر PIPO



شکل ۶-۳۲ - مدار شیفت رجیستر SISO

□ شرح چگونگی انتقال اطلاعات به حافظه: اطلاعاتی که باید در هر خانه حافظه نوشته شود را دیتا (Data) می نامند



شکل ۶-۳۵- جزئیات آدرس ها و اطلاعات در حافظه

که در ثبات داده‌ها (دیتا رجیستر-DR_Data Register) ثبت می شود. دیتاها به صورت یک کلمه مثلاً ۸ بیتی است. در این حالت دیتا رجیستر نیز باید هشت بیتی باشد. هر کلمه در خانه‌ای از حافظه قرار می گیرد که دارای آدرس مشخصی است. این آدرس نیز در یک ثبات دیگری قرار دارد که به آن ثبات آدرس (AR_Address Register) می گویند. در شکل ۶-۳۴ بلوک واحد حافظه و در شکل ۶-۳۵ جزئیات بلوک واحد حافظه نشان داده شده است.



شکل ۶-۳۴- بلوک واحد حافظه

۶-۶- شمارنده‌ها (Counters)

شمارنده‌ها مدارهایی هستند که از تعدادی فلیپ فلاپ متصل به هم به صورت سری، تشکیل شده‌اند. این مدارها عملاً تعداد پالس‌های ورودی به مدار را شمارش می کنند. شمارش پالس‌های ورودی ممکن است بر مبنای ۱۰ یا هر مبنای دیگر انجام شود. عنصر اصلی هر شمارنده فلیپ فلاپ است. یک شمارنده با n طبقه فلیپ فلاپ، حداکثر می تواند 2^n حالت تعریف شده داشته باشد.

■ شمارنده آسنکرون

در شمارنده آسنکرون، پالس ساعت فلیپ فلاپ‌ها، به طور هم‌زمان به آنها داده نمی شود. هر طبقه پالس ساعت خود را از خروجی طبقه قبل خود دریافت می کند.

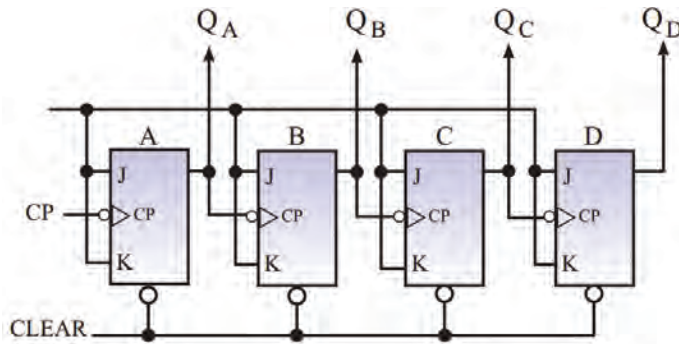
شمارنده آسنکرون به شمارنده ضربانی (Ripple Counter) نیز معروف است. فلیپ فلاپ به کار رفته در این نوع شمارنده، از نوع T است و باید همواره $T=1$ باشد.

شمارنده آسنکرون صعودی (UP-Counter)

این شمارنده قادر به شمارش منظم اعداد از کم به زیاد است. در شکل ۶-۳۶ یک شمارنده آسنکرون ۴ بیتی نشان داده شده است که در آن از ۴ فلیپ فلاپ J-K با عملکرد نوع T استفاده شده است. در جدول ۶-۱۵، تغییر وضعیت خروجی‌های Q_A, Q_B, Q_C, Q_D را نشان می دهد. این شمارنده اعداد ۰ تا ۱۵ را شمارش می کند و در انتهای پالس شانزدهم تمام خروجی‌ها مساوی صفر می شوند و شمارنده به حالت اولیه برمی گردد.

جدول ۶-۱۵

پالس ساعت	Q _D	Q _C	Q _B	Q _A
۰	۰	۰	۰	۰
۱	۰	۰	۰	۱
۲	۰	۰	۱	۰
۳	۰	۰	۱	۱
۴	۰	۱	۰	۰
۵	۰	۱	۰	۱
۶	۰	۱	۱	۰
۷	۰	۱	۱	۱
۸	۱	۰	۰	۰
۹	۱	۰	۰	۱
۱۰	۱	۰	۱	۰
۱۱	۱	۰	۱	۱
۱۲	۱	۱	۰	۰
۱۳	۱	۱	۰	۱
۱۴	۱	۱	۱	۰
۱۵	۱	۱	۱	۱



شکل ۶-۳۶- شمارنده آسنکرون صعودی

شمارنده آسنکرون نزولی (Down Counter)

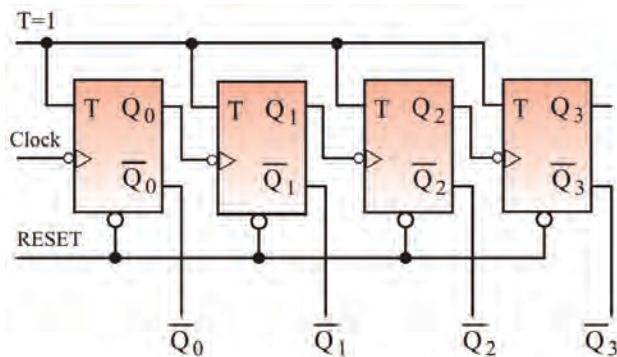
شمارنده آسنکرون ضربانی می‌تواند معکوس شمار یا نزولی هم باشد. یعنی از یک عدد شروع به شمارش معکوس کند و به صفر برسد. در شکل ۶-۳۷ یک شمارنده آسنکرون نزولی چهاربیتی رسم شده است.

جدول تغییرات خروجی به ازای هر پالس ساعت در جدول ۶-۱۶ نشان داده شده است.

کار نرم‌افزاری در ساعات غیر درسی: مدار شمارنده آسنکرون صعودی و نزولی را با نرم‌افزار مولتی سیم شبیه‌سازی کنید و وضعیت خروجی فلیپ فلاپ‌ها و اعداد شمارش شده را به ازای هر پالس ساعت مورد بررسی قرار دهید و صحت عملکرد مدار را بررسی کنید.

جدول ۶-۱۶

تعداد پالس ساعت	پالس ساعت	Q ₀	Q ₁	Q ₂	Q ₃
۰	۱۵	۱	۱	۱	۱
۱	۱۴	۱	۱	۱	۰
۲	۱۳	۱	۱	۰	۰
۳	۱۲	۱	۱	۰	۰
۴	۱۱	۱	۰	۱	۰
۵	۱۰	۱	۰	۱	۰
۶	۹	۱	۰	۰	۱
۷	۸	۱	۰	۰	۰
۸	۷	۰	۱	۱	۰
۹	۶	۰	۱	۱	۰
۱۰	۵	۰	۱	۰	۱
۱۱	۴	۰	۱	۰	۰
۱۲	۳	۰	۰	۱	۰
۱۳	۲	۰	۰	۱	۰
۱۴	۱	۰	۰	۰	۱
۱۵	۰	۰	۰	۰	۰
۱۶	۱۵	۱	۱	۱	۱



شکل ۶-۳۷- مدار شمارنده آسنکرون نزولی

شمارنده سنکرون وانواع دیگر شمارنده‌ها در مقاطع تحصیلی بالاتر آموزش داده می‌شود. به علت محدودیت زمان، در مورد این نوع شمارنده‌ها توضیح بیشتر داده نشده است.



شمارنده آسنکرون دهدهی (Binary Code Decimal) BCD

✓ اگر شمارنده‌ای از صفر تا ۱۰ را بشمارد، آن را شمارنده دهدهی (اعشاری) یا BCD می‌نامند. برای شمارش تا ۱۰ به ۴ فلیپ فلاپ نیاز داریم. ۴ فلیپ فلاپ تا ۱۶ شمارش می‌کند.

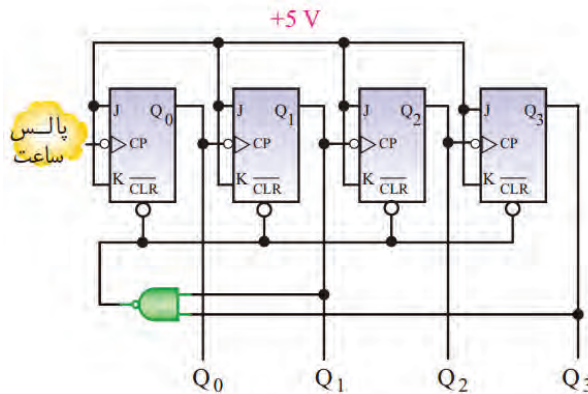
به چه دلیل نمی‌توانیم از ۳ فلیپ فلاپ برای شمارش تا ۱۰ استفاده کنیم؟



✓ شمارنده BCD همان شمارنده آسنکرون صعودی است با این تفاوت که باید بتواند با رسیدن به عدد ۱۰ (باینری ۱۰۱۰=۱۰ دسی مال)، خروجی‌ها را پاک (Reset) کند. این عمل توسط یک گیت NAND کنترل می‌شود. در شکل ۶-۳۸ مدار شمارنده آسنکرون دهدهی با استفاده از چهار فلیپ فلاپ T را ملاحظه می‌کنید.

جدول ۶-۱۷

Q ₃	Q ₂	Q ₁	Q ₀	Decimal
۰	۰	۰	۰	۰
۰	۰	۰	۱	۱
۰	۰	۱	۰	۲
۰	۰	۱	۱	۳
۰	۱	۰	۰	۴
۰	۱	۰	۱	۵
۰	۱	۱	۰	۶
۰	۱	۱	۱	۷
۱	۰	۰	۰	۸
۱	۰	۰	۱	۹



شکل ۶-۳۸- مدار شمارنده آسنکرون دهدهی

در جدول ۶-۱۷ تغییرات خروجی شمارنده دهدهی رسم شده است. در پالس دهم خروجی گیت NAND، صفر شده و همه حافظه‌ها پاک می‌شوند.

الگوی پرسش

۱) برای شمارش تا پایان عدد ۵۹ به چند فلیپ فلاپ نیاز داریم؟

الف) ۴ ب) ۵ ج) ۶ د) ۷

۲) در شمارنده آسنکرون صعودی از فلیپ فلاپ نوع T که $T=1$ است استفاده می‌کنیم. درست □ نادرست □

۳) در شمارنده آسنکرون، به طور هم‌زمان به همه فلیپ فلاپ‌ها پالس ساعت اعمال می‌شود.

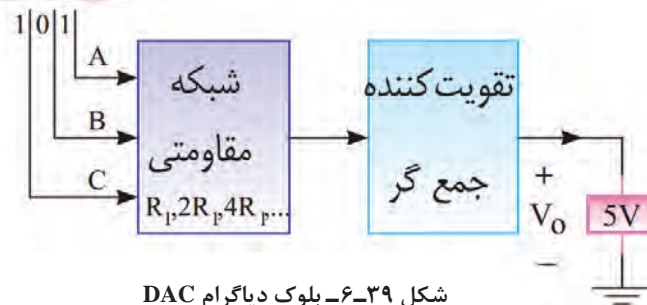
درست □ نادرست □

۴) شمارنده آسنکرون صعودی طراحی کنید که تا پایان عدد ۱۲ بشمارد و سپس صفر شود.

۶-۷- مبدل‌های دیجیتال به آنالوگ (Digital to Analog Converter)

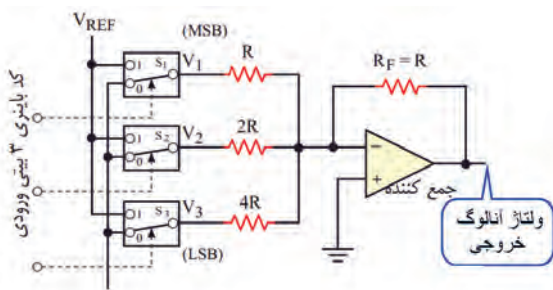
■ اطلاعات و علائم دیجیتالی ذخیره شده در واحد حافظه به وسیله یک مدار مبدل DAC به سیگنال آنالوگ تبدیل می‌شود. در شکل ۶-۳۹ بلوک دیاگرام یک مبدل دیجیتال به آنالوگ را ملاحظه می‌کنید.

ورودی دیجیتال

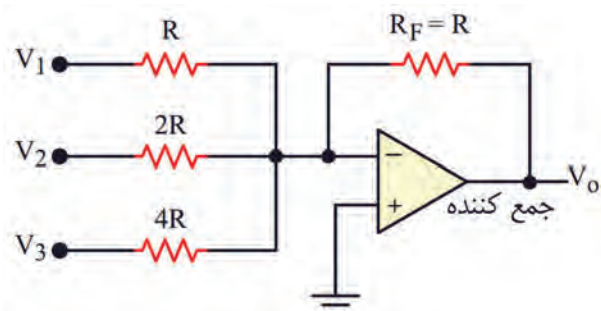


شکل ۶-۳۹- بلوک دیاگرام DAC

مدار DAC یک جمع کننده ولتاژ است. در شکل ۶-۴۰ از یک مدار تقویت کننده عملیاتی استفاده کرده‌ایم که در آن مقاومت فیدبک $R_F = R$ و شبکه مقاومتی ورودی به صورت R ، $2R$ و $4R$ است. چون مقدار مقاومت‌های ورودی میزان تقویت مدار را تعیین می‌کنند، مقدار آن بر اساس ارزش بیت‌های ورودی تعیین می‌شود، مثلاً به مقاومت R بیت پرارزش MSB و به $4R$ بیت کم ارزش وصل می‌شود. طبق شکل ۶-۴۱ اگر کلیدهای S_1 ، S_2 و S_3 به V_{REF} وصل شوند، بیت ورودی برابر با ۱ و اگر به زمین وصل شوند، بیت ورودی برابر با ۰ است. مدار شکل ۶-۴۰ مدار جمع کننده و مدار شکل ۶-۴۱ را مدار مبدل DAC می‌نامند. مثلاً اگر ورودی دیجیتال سه بیتی و به صورت ۱۱۱ باشد، هر سه کلید به V_{REF} وصل می‌شود. و با توجه به اینکه ولتاژ مرجع $-4V$ است ($V_{REF} = -4V$)، مقدار ولتاژ آنالوگ خروجی از رابطه زیر به دست می‌آید:



شکل ۶-۴۱- مبدل دیجیتال با آنالوگ



شکل ۶-۴۰- جمع کننده

$$V_O = -\left(\frac{R_F}{R} V_{REF} + \frac{R_F}{2R} V_{REF} + \frac{R_F}{4R} V_{REF}\right)$$

$$V_O = -\left(\frac{R}{R} + \frac{R}{2R} + \frac{R}{4R}\right) \times (-4) = -\left(1 + \frac{1}{2} + \frac{1}{4}\right) \times (-4) = (4 + 2 + 1) = 7V$$

نکته

توجه داشته باشید که ولتاژ خروجی ضرورتی ندارد دقیقاً با عدد باینری داده شده برابر باشد. در این مثال مقدار ولتاژ مرجع طوری انتخاب شده است که ولتاژ خروجی با عدد اعشاری معادل باینری ۱۱۱ برابر شده و با صرف نظر از علامت منفی برابر با ۷ ولت است.



فعالیت

در مدار شکل ۶-۴۱ اگر به کلیدهای S_1, S_2, S_3 به ترتیب اعداد منطقی زیر متصل شود، ولتاژ خروجی را محاسبه کنید و نتایج را تحلیل نمایید.



$$S_1, S_2, S_3 = 100 \quad S_1, S_2, S_3 = 011 \quad S_1, S_2, S_3 = 010 \quad S_1, S_2, S_3 = 001 \quad S_1, S_2, S_3 = 000$$

فعالیت گروهی

در مبدل DAC شکل ۶-۴۱ برای همه حالت‌های ورودی (۰۰۰ تا ۱۱۱) اگر ولتاژ مرجع برابر ۵ ولت باشد، ولتاژ خروجی را محاسبه، در یک نمودار رسم و نتایج را تحلیل کنید و یک گزارش مکتوب ارائه دهید.



در شکل ۶-۴۲ یک نمونه آی‌سی مبدل دیجیتال به آنالوگ DAC هشت بیتی با شماره فنی MC۱۴۰۸ به صورت بلوک دیاگرام نشان داده شده است که ولتاژ خروجی آن بر حسب بیت‌های ورودی داده شده به A_1 ، A_2 ، A_3 ، A_4 ، A_5 ، A_6 ، A_7 ، A_8 و مقدار ولتاژ مرجع (V_{REF}) و مقدار مقاومت فیدبک $R_F = R_0$ و مقاومت پتانسیومتر R_{14} از رابطه زیر محاسبه می‌شود:

$$V_O = \frac{V_{REF}}{R_{14}} R_0 \left(\frac{A_1}{2} + \frac{A_2}{4} + \frac{A_3}{8} + \frac{A_4}{16} + \frac{A_5}{32} + \frac{A_6}{64} + \frac{A_7}{128} + \frac{A_8}{256} \right)$$

پژوهش

با مراجعه به برگه اطلاعات آی‌سی MC۱۴۰۸ درباره مشابهت بلوک دیاگرام شکل ۶-۳۹ با مدار ۶-۴۲ تحقیق کنید و مدار معادل آن را که مشابه با جمع کننده است، ترسیم کنید و در قالب گزارش به صورت پاورپوینت ارائه دهید.

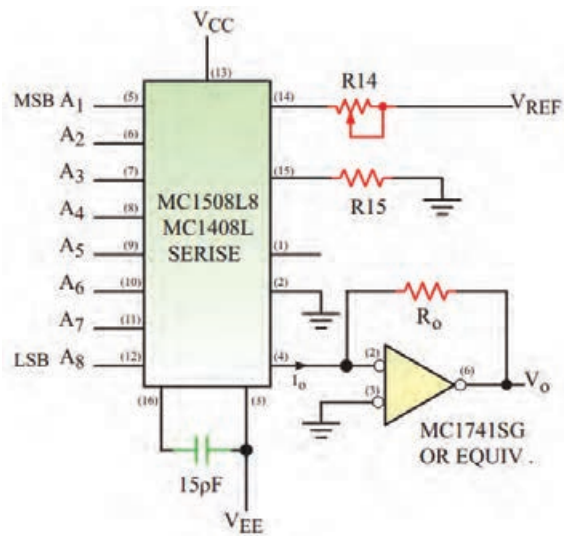


روش تبدیل سیگنال آنالوگ به سیگنال دیجیتال (Analog to Digital Converter)

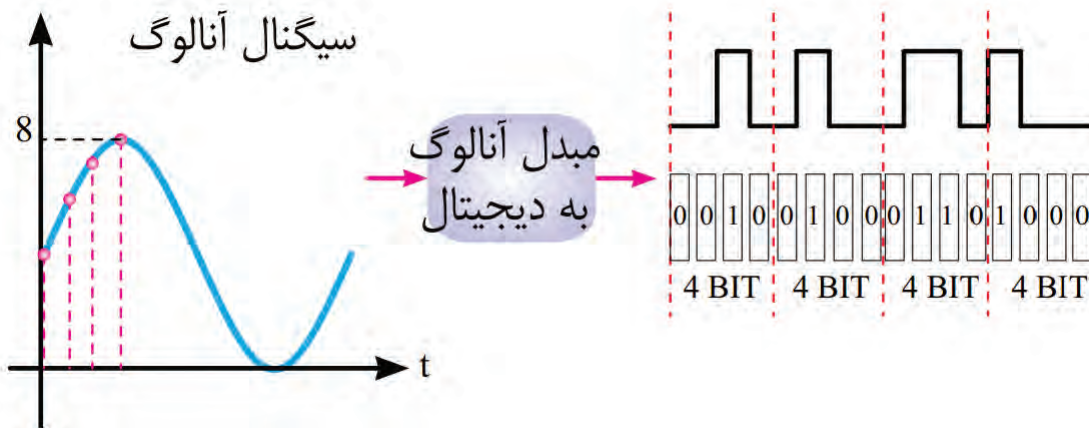
اگر بخواهیم سیگنال آنالوگ را به علائم دیجیتالی n بیتی تبدیل کنیم، به مبدل ADC نیاز داریم. در شکل ۶-۴۳ چگونگی تبدیل یک نمونه سیگنال آنالوگ به سیگنال دیجیتال ۴ بیتی را مشاهده می‌کنید. همان‌طور که ملاحظه می‌شود، در این فرایند ۴ سطح سیگنال آنالوگ به علائم دیجیتالی ۰۰۱۰، ۰۱۰۰، ۰۱۱۰، ۱۰۰۰ تبدیل شده است.

جدول ۱۸-۶

پله یا گام	ورودی آنالوگ Volts	خروجی دودویی			
		۸s	۴s	۲s	۱s
	D	C	B	A	
۱	۰	۰	۰	۰	۰
۲	۰/۲	۰	۰	۰	۱
۳	۰/۴	۰	۰	۱	۰
۴	۰/۶	۰	۰	۱	۱
۵	۰/۸	۰	۱	۰	۰
۶	۱/۰	۰	۱	۰	۱
۷	۱/۲	۰	۱	۱	۰
۸	۱/۴	۰	۱	۱	۱
۹	۱/۶	۱	۰	۰	۰
۱۰	۱/۸	۱	۰	۰	۱
۱۱	۲/۰	۱	۰	۱	۰
۱۲	۲/۲	۱	۰	۱	۱
۱۳	۲/۴	۱	۱	۰	۰
۱۴	۲/۶	۱	۱	۰	۱
۱۵	۲/۸	۱	۱	۱	۰
۱۶	۳/۰	۱	۱	۱	۱

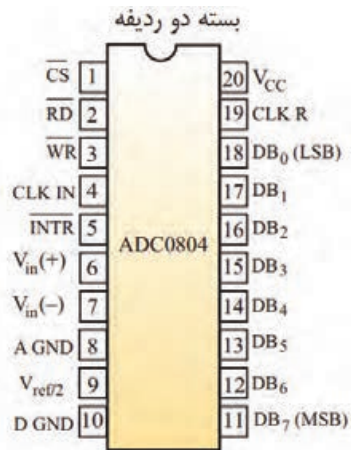


شکل ۴۲-۶ مدار مبدل دیجیتال به آنالوگ با آی سی

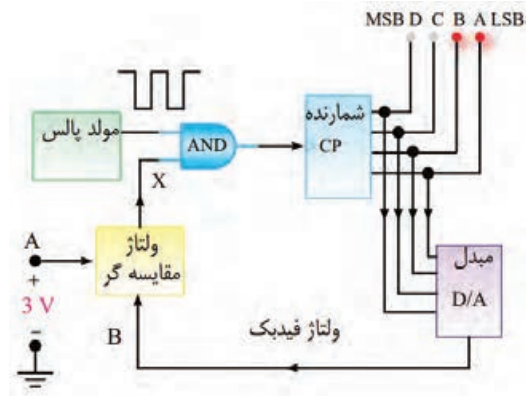


شکل ۴۳-۶ تبدیل سیگنال آنالوگ به دیجیتال چهار بیتی

■ مدار الکترونیکی مبدل آنالوگ به دیجیتال ADC: مدار الکترونیکی مبدل ADC نسبت به مدار مبدل DAC پیچیده تر است. یک نمونه از این نوع مدار را که شامل مبدل DAC، مقایسه کننده ولتاژ، مولد پالس ساعت، شمارنده و مسیر فیدبک است، در شکل ۶-۴۴ مشاهده می کنید. این مدار قادر است ولتاژ صفر تا ۳ ولت را با تفکیک ۰/۲ ولت در ۱۶ گام به یک کد ۴ بیتی از ۰۰۰۰ به ۱۱۱۱ مطابق جدول ۶-۱۸ به صورت سیگنال دیجیتالی درآورد. چون مبدل ADC کاربردهای وسیعی دارد، برای آن آی سی های مختلفی ساخته شده است. آی سی ۰۸۰۴ ADC، نمونه ای از مبدل ADC است که آن را در شکل ۶-۴۵ نشان داده ایم. این آی سی قادر است ولتاژ آنالوگ صفر تا ۵ ولت را به یک کلمه دیجیتالی ۸ بیتی که شامل ۲۵۶ حالت است تبدیل کند.



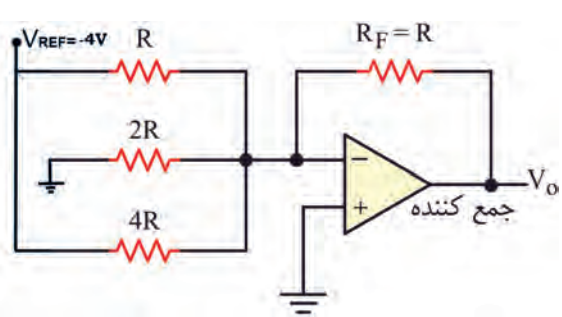
شکل ۶-۴۵- آی سی مبدل آنالوگ به دیجیتال



شکل ۶-۴۴- مدار الکترونیکی مبدل آنالوگ به دیجیتال

مدارهای DAC و ADC را با نرم افزارهایی که آموزش دیده اید، شبیه سازی کنید و صحت عملکرد مدار را مورد بررسی قرار دهید.

فعالیت در ساعات غیر درسی



شکل ۶-۴۶

الگوی پرسش

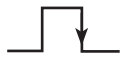
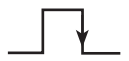
- ۱- در مدار شکل ۶-۴۶ کد باینری ورودی را بنویسید و مقدار ولتاژ خروجی را محاسبه کنید.
- ۲- در مدار مبدل DAC مدار جمع گر ولتاژ وجود دارد. درست □ نادرست □
- ۳- یک مولد DAC ورودی از نوع..... را به خروجی از نوع..... تبدیل می کند.
- ۴- ADC مبدل..... و DAC مبدل..... نام دارد.

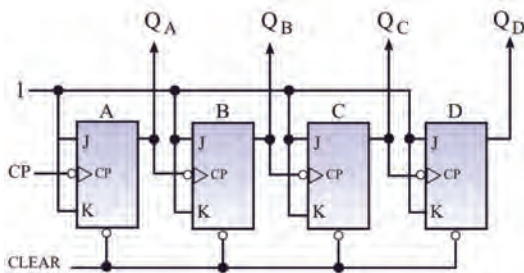
- ۵- ساختمان داخلی آی سی های DAC با مدار جمع گر متفاوت □ مشابه □ بوده و در قسمت های ورودی های آن کلیدهای قطع و وصل وجود ندارد □ وجود دارد □
- ۶- ساختار آی سی های DAC در مقایسه با آی سی های ADC از پیچیدگی کمتری □ بیشتری □ برخوردار است.

جدول ۶-۱۹

A	B	C	F
۰	۰	۰	۱
۰	۰	۱	۱
۰	۱	۰	۰
۰	۱	۱	۱
۱	۰	۰	۰
۱	۰	۱	۱
۱	۱	۰	۰
۱	۱	۱	۱

جدول ۶-۲۰

X	CP	Q_t
۰		$Q_{(t-1)}$
۱		$\bar{Q}_{(t-1)}$



شکل ۶-۴۷

الگوی آزمون نظری پایان واحد یادگیری

۱- با توجه به جدول درستی ۶-۱۹، تابع F را به صورت مجموع مین ترم‌ها بنویسید. سپس تابع را توسط دکدر اجرا کنید.

۲- تابع $F(A,B,C) = \sum m(0,1,2,4,6)$ را با استفاده از یک مالتی پلکسر اجرا کنید.

۳- یک رمزگشا با n ورودی، حداکثر دارای چند خروجی است؟

۴- برای ثبت ۴ بیت اطلاعات به تعداد 2^4 واحد حافظه (فلیپ فلاپ) نیاز داریم. صحیح □ غلط □

۵- شیفت رجیسترها از نظر چگونگی ثبت اطلاعات و خواندن اطلاعات به چند گروه تقسیم می‌شوند؟ نام ببرید.

۶- محتوای اولیه یک ثبات ۴ بیتی سری - سری به صورت ۱۱۰۱ است. اطلاعات ۱۰۱۱۰۱ طی شش پالس ساعت وارد شیفت رجیستر می‌شود. محتوای ثبات را پس از اعمال شش پالس ساعت بنویسید.

۷- جدول درستی فلیپ فلاپ T و D را بنویسید.

۸- جدول درستی ۶-۲۰ مربوط به کدام نوع فلیپ فلاپ است؟

الف) T (ب) J-K (پ) J-K-MS (ت) D

۹- جدول درستی فلیپ فلاپ J-K-MS را رسم کنید.

۱۰- برای شمارش تا عدد ۱۵۶ به چند فلیپ فلاپ نیاز داریم؟

۱۱- با دو فلیپ فلاپ J-K و با رفتار T، حداکثر تا چه عددی را می‌توان شمرد؟ مدار شمارنده را رسم کنید.

۱۲- برای آنکه شمارنده شکل ۶-۴۷ تا پایان عدد ۱۳ (ابتدای پالس چهاردهم) بشمرد و سپس صفر شود، مدار شمارنده را کامل کنید.

الگوی آزمون نرم‌افزاری پایان واحد یادگیری

۱- نرم‌افزار مولتی سیم را فعال کنید.

۲- تابع منطقی F را توسط مدار دکدر شبیه‌سازی کنید. $F = \bar{A}\bar{B}\bar{C} + \bar{A}\bar{B}C + \bar{A}B\bar{C} + \bar{A}BC + ABC$

۳- تابع منطقی F را توسط مالتی پلکسر شبیه‌سازی کنید.

ارزشیابی واحد یادگیری ۶: کسب شایستگی در طراحی مدارهای دیجیتالی و اجرای توابع آن

شرح کار:

۱- تشریح عملکرد مدار دکدر و مالتی پلکسر ۲- نوشتن توابع منطقی به صورت استاندارد مین ترم ۳- اجرای توابع با استفاده از دکدر و مالتی پلکسر ۴- تشریح جدول درستی انواع فلیپ فلاپها ۵- تشریح انواع شیفت رجیسترها از نظر ورود و دریافت اطلاعات ۶- تشریح عملکرد شمارنده صعودی و نزولی ۷- تشریح عملکرد مدار مبدل A/D و D/A ۸- شبیه سازی مدارهای منطقی با استفاده از نرم افزار

استاندارد عملکرد: طراحی مدارهای ترکیبی و اجرای توابع و طراحی مدارهای ترتیبی با رعایت استانداردهای تعریف شده

شاخصها:

۱- نوشتن توابع منطقی به صورت استاندارد مین ترم (۵ دقیقه) ۲- تشریح عملکرد مدار دکدر و مالتی پلکسر و اجرای توابع با استفاده از دکدر و مالتی پلکسر (۲۰ دقیقه) ۳- تشریح جدول درستی انواع فلیپ فلاپها (۱۰ دقیقه) ۴- تشریح انواع شیفت رجیسترها از نظر ورود و دریافت اطلاعات (۵ دقیقه) ۵- تشریح عملکرد شمارنده صعودی و نزولی (۱۰ دقیقه) ۶- تشریح عملکرد مدار مبدل A/D و D/A (۱۰ دقیقه) ۷- شبیه سازی مدارها با استفاده از نرم افزار (۱۰ دقیقه)

شرایط انجام کار و ابزار و تجهیزات: مکان مناسب انجام کار در کلاس یا کارگاه یا سایت مجهز به رایانه با کف عایق یا آنتی استاتیک، نور مناسب برای کارهای ظریف ابعاد حداقل ۶ مترمربع و دارای تهویه یا پنجره، انجام کار در حال نشسته یا ایستاده، رایانه، لوازم التحریر

معیار شایستگی:

ردیف	مراحل کار	حداقل نمره قبولی از ۳	نمره هنرجو
۱	نوشتن توابع منطقی به صورت استاندارد مین ترم	۱	
۲	تشریح عملکرد مدار دکدر و مالتی پلکسر و اجرای توابع با استفاده از دکدر و مالتی پلکسر	۲	
۳	تشریح جدول درستی انواع فلیپ فلاپها و تشریح انواع شیفت رجیسترها از نظر ورود و دریافت اطلاعات	۲	
۴	تشریح عملکرد شمارنده صعودی و نزولی	۲	
۵	تشریح عملکرد مدار مبدل A/D و D/A	۲	
۶	شبیه سازی مدارها با استفاده از نرم افزار	۲	
	شایستگی های غیر فنی، ایمنی، بهداشت، توجهات زیست محیطی و نگرش: ۱- محافظت از تجهیزات و دستگاهها ۲- دقت و مسئولیت پذیری ۳- شایستگی تفکر و یادگیری مادام العمر ۴- اخلاق حرفه ای ۵- رعایت نکات زیست محیطی ۶- به کارگیری فناوری نوین ۷- مستندسازی	۲	
میانگین نمرات			*

* حداقل میانگین نمرات هنرجو برای قبولی و کسب شایستگی، ۲ می باشد.